

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 1 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 3 6 1 2 5
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 3 6 1 2 5]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 3 年 1 0 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 4 8 8 2

【書類名】 特許願

【整理番号】 0241832

【提出日】 平成15年 2月14日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00

【発明の名称】 半導体試験回路、半導体記憶装置および半導体試験方法

【請求項の数】 10

【発明者】

 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴ
 ィエルエスアイ株式会社内

 【氏名】 斎藤 修一

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100092152

 【弁理士】

 【氏名又は名称】 服部 毅巖

 【電話番号】 0426-45-6644

【手数料の表示】

 【予納台帳番号】 009874

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9705176

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体試験回路、半導体記憶装置および半導体試験方法

【特許請求の範囲】

【請求項 1】 半導体記憶装置の書き込み／読み出し動作の試験を行う半導体試験回路において、

それぞれのカウンタ値によって、前記半導体記憶装置の書き込み／読み出しアドレスのうちの 1 ビット分または連続する複数ビット分を指定する複数のカウンタと、

前記各カウンタのカウンタ動作を制御するカウンタ制御信号として、出力先以外のいずれかの前記カウンタによる最上位ビットの出力値、または、すべての前記カウンタに対して共通に使用される共通カウンタ制御信号を、前記カウンタごとに選択的に出力するスイッチ回路と、

を有することを特徴とする半導体試験回路。

【請求項 2】 前記スイッチ回路は、いずれか 1 つの前記カウンタに対して前記共通カウンタ制御信号を出力し、他の前記カウンタに対してはそれぞれ異なる前記カウンタによる最上位ビットの出力値を出力することを特徴とする請求項 1 記載の半導体試験回路。

【請求項 3】 前記スイッチ回路は、前記カウンタごとに前記カウンタ制御信号を個別に出力する個別スイッチ回路を有し、

前記各個別スイッチ回路は、前記カウンタ制御信号の出力先以外で、かつ前記個別スイッチ回路ごとに異なるいずれかの前記各カウンタによる前記最上位ビットの出力値、または前記共通カウンタ制御信号を選択的に出力することを特徴とする請求項 1 記載の半導体試験回路。

【請求項 4】 前記カウンタのうちの 1 つは、前記半導体記憶装置のコラムアドレスを指定し、他の前記カウンタのうちの 1 つはローアドレスを指定することを特徴とする請求項 1 記載の半導体試験回路。

【請求項 5】 前記コラムアドレスを指定するカウンタは、同期式カウンタによって構成され、前記ローアドレスを指定するカウンタは、非同期式カウンタによって構成されることを特徴とする請求項 4 記載の半導体試験回路。

【請求項 6】 さらに他の前記カウンタのうちの 1 つは前記半導体記憶装置のバンクアドレスを指定することを特徴とする請求項 4 記載の半導体試験回路。

【請求項 7】 前記カウンタのうちの 1 つは、
非同期式カウンタと、
最上位ビットの出力値が前記スイッチ回路に入力される同期式カウンタと、
入力される前記カウンタ制御信号を前記非同期式カウンタまたは前記同期式カウンタに選択的に出力するとともに、前記非同期式カウンタまたは前記同期式カウンタのカウンタ値を前記書き込み／読み出しアドレスとして選択的に出力するカウンタ選択回路と、
を有することを特徴とする請求項 1 記載の半導体試験回路。

【請求項 8】 前記半導体記憶装置と同一チップ内または同一パッケージ内に設けられたことを特徴とする請求項 1 記載の半導体試験回路。

【請求項 9】 メモリセルへの書き込み／読み出しの試験を実行する自己試験回路を具備する半導体記憶装置において、
前記自己試験回路は、
それぞれのカウンタ値によって、前記メモリセルへの書き込み／読み出しアドレスのうちの 1 ビット分または連続する複数ビット分を指定する複数のカウンタと、
前記各カウンタのカウンタ動作を制御するカウンタ制御信号として、出力先以外のいずれかの前記カウンタによる最上位ビットの出力値、または、すべての前記カウンタに対して共通に使用される共通カウンタ制御信号を、前記カウンタごとに選択的に出力するスイッチ回路と、
を有することを特徴とする半導体記憶装置。

【請求項 10】 半導体記憶装置に対する書き込み／読み出し動作に対する半導体試験方法において、
複数のカウンタのうち出力先以外のいずれかによる最上位ビットの出力値、または、すべての前記カウンタに対して共通に使用される共通カウンタ制御信号を、選択的に前記各カウンタに入力してそれぞれのカウンタ動作を個別に制御し、
前記カウンタのそれぞれのカウンタ値によって、前記半導体記憶装置の書き込

み／読み出しアドレスのうちの1ビット分または連続する複数ビット分を指定する、

ことを特徴とする半導体試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置の書き込み／読み出し動作の試験を行う半導体試験回路および半導体試験方法と、このような半導体試験回路を具備する半導体記憶装置に関する。

【0002】

【従来の技術】

近年、電子機器の小型化に伴い、半導体デバイスの専有面積をより縮小することが求められている。このため、MCP (Multi Chip Package) あるいはSIP (System In Package) 等のように、複数の半導体チップを1つのパッケージ上に搭載することが多くなっている。

【0003】

例えばDRAM (Dynamic Random Access Memory) 等の半導体記憶装置についても、同様に、MCPやSIPへ搭載されることが多くなっている。半導体記憶装置では特に、出荷前の試験工程においてメモリセル内部の不良ビットを検出することが重要であるが、MCPやSIPに搭載された場合、半導体記憶装置に対する配線がパッケージ内の他のチップとの間で閉じた状態となることが多い。この場合は、半導体記憶装置の制御端子が、パッケージの外部端子として設けられないため、パッケージに実装されて封止された後の時点での試験を行うことが不可能になる。

【0004】

そこで、試験対象の半導体回路と同じチップ内、あるいは同じパッケージに組み込まれた他の半導体チップ内に試験回路を設け、この試験回路の動作により一部の試験工程を置き換えることが考えられている。このような同じパッケージ内の半導体回路に対する自己試験機能は、BIST (Built In Self Test) と呼ば

れている。

【0005】

BISTを実現する回路（以下、BIST回路と呼称する）を搭載した従来の一般的な半導体記憶装置としては、例えば、複数のバンクあるいはセルアレイ単位に分割されたメモリセルアレイと、これらのバンクあるいはセルアレイ単位に設けられて、それぞれ独立に制御可能な自己テスト機能回路（BIST回路に対応する）とを具備し、各自己テスト機能回路が、それぞれ対応するメモリセルアレイに対するアドレス発生回路、テストパターンデータ発生回路および制御信号発生回路と、これらを制御するBIST制御回路と、対応するバンクあるいはセルアレイ単位のテスト出力データと期待値とを比較する、バンクあるいはセルアレイ単位の出力ビット数に応じた数の比較器とを具備するものがあった。

【0006】

この半導体記憶装置では、BIST制御回路へのシステムクロックの入力に応じてBIST制御回路が動作し、この制御の下で、アドレス発生回路、テストパターンデータ発生回路および制御信号発生回路がそれぞれテストに必要なアドレス、テストパターンおよび書き込み／読み出し等の制御信号を発生し、これらを受けたメモリセルアレイの書き込み／読み出し動作が実行される。そして、読み出し動作時にメモリセルアレイから読み出されたデータが、比較器において期待値と比較され、Pass/Failの判定が行われる（例えば、特許文献1参照）。

【0007】

ところで、BIST回路では通常、あらかじめ用意された1種類以上の試験パターンを実行することが可能となっている。各試験パターンでは、例えばメモリセルアレイ内でデータが記憶される領域が幾何学模様状となる等、書き込み／読み出しのアドレス指定の進み方や書き込むデータの組み合わせが随時変更される。

【0008】

ここで、図18は、メモリセルアレイに対する論理アドレスの割り付けの例を示す図である。

図18の例では、22ビットの数値によりメモリセルアレイに対する論理アドレス指定を行うことが可能となっており、下位から6ビット分、14ビット分、2ビット分に対して、それぞれコラムアドレス、ローアドレス、バンクアドレスが割り付けられている。BIST回路では通常、このような書き込み／読み出しアドレスを自己発生するためのカウンタ回路を具備している。

【0009】

図19は、BIST回路が具備する従来のアドレスカウンタの構成例を示す図である。

図19に示すアドレスカウンタは、図18のアドレス割り付けに対応して設けられるものであり、アドレス数に対応する22桁分のカウンタセルCNT0～CNT21が設けられて、最下位のカウンタセルCNT0の出力から順にコラムアドレスCA0～CA5、ローアドレスRA0～RA13、バンクアドレスBA0～BA1が割り付けられている。そしてこれらの出力値が例えばアドレスデコーダによりデコードされることにより、メモリセルアレイ内のビット線、ワード線、バンクがそれぞれ1つずつ選択される。

【0010】

このアドレスカウンタにおいて、2桁目のカウンタセルCNT1以上では各カウンタセルのカウンタアップは下位のカウンタセルの出力に応じて行われ、最下位のカウンタセルCNT0にカウンタアップ制御信号（例えばクロック信号CLK）が入力されることにより、カウンタアップ動作が開始される。

【0011】

BIST回路による自己試験動作（以下、BIST動作と呼称する）で、すべてのメモリセルにデータの書き込みを行う場合は、通常、次のような動作が行われる。BIST動作が開始された時点では、一般的に各カウンタセルはリセットされており、すべてのアドレスが“0”となっている。このアドレスより1回目の書き込み動作が行われ、“0”番地のメモリセルにデータが書き込まれる。次にカウンタ回路がカウンタアップされ、出力値の最下位ビットが“1”となる。そして、このアドレスにより2回目の書き込み動作が行われ、“1”番地のメモリセルにデータが書き込まれる。このように、書き込み動作が行われるごとにカ

ウンタ回路を順次カウントアップすることにより、すべてのメモリセルに対してデータの書き込みを行うことが可能となる。

【0012】

なお、集積回路内にシェイプの異なるRAMが配置されている場合に、これらのRAMに対してテストを行う自己試験用回路として、テストを行うすべてのRAMのXアドレスおよびYアドレスをそれぞれ生成して出力するアップカウンタ付きのレジスタで構成されたXアドレスレジスタおよびYアドレスレジスタと、これらの各レジスタから出力されるXアドレスおよびYアドレスから、テスト対象となるRAMに対してイネーブル信号を生成して出力するチップイネーブル制御回路部とを具備するものがあった。この自己試験用回路では、チップイネーブル制御回路部が、各レジスタからのXアドレスおよびYアドレスのビット数から、テスト対象のRAMのシェイプを特定することにより、ダイアゴナルパターンを生成するデータ生成回路を共有して、被テスト回路を並列にテストすることが可能となっている（例えば、特許文献2参照）。

【0013】

【特許文献1】

特開2002-163899号公報（段落番号〔0009〕～〔0023〕、第1図）

【特許文献2】

特開2001-222900号公報（段落番号〔0010〕～〔0030〕、第1図）

【0014】

【発明が解決しようとする課題】

ところで、従来のBIST回路では、アドレスカウンタの各出力ビットに対してアドレスが固定的に割り付けられていた。このため、実行可能な試験パターンに制限があった。

【0015】

例えば、上記の図19で示したアドレスカウンタにおいて、図18のようなアドレス割り付けが行われた場合、アドレスカウンタのカウント動作によりコラム

アドレスが優先的に変化される。すなわち、初期動作ではまず、ローアドレスおよびバンクアドレスとしてそれぞれ“0x0000”番地、バンク“0”が指定された状態で、カウント動作によりコラムアドレスとして“0x00”番地から“0x3F”番地まで順に指定される。この後、ローアドレスの指定が“0x0001”番地から“0x3FFF”番地に順次変更されて、その変更のたびにすべてのコラムアドレスが順次指定される。さらに、バンクアドレスの指定がバンク“1”からバンク“3”に順次変更され、同様のアドレス指定動作が行われる。

【0016】

このような動作により、コラム方向（すなわちビット線）の選択を高速に変化させる試験パターンの実行が可能となる。しかし、ローアドレスやバンクアドレスを優先的に高速に変化させる試験パターンを実行することはできない。特に最近では、複数のバンクを有して、各バンクからの入出力をグローバルデータバスにより共通化したメモリセルアレイ構成を有する半導体記憶装置が多く、このような半導体記憶装置では、各バンクのローカルデータバスを視点とした、仕様上の上限速度での試験（A T - S P E E D 試験）とともに、グローバルデータバスを視点とした A T - S P E E D 試験やバンク間のデータバス干渉試験を行うことが、不良検出率を高めるために重要となっている。しかし、これらの試験パターンをすべて実行可能とするためには、アドレスの割り付け方の異なる複数のアドレスカウンタを設ける必要があり、B I S T 回路の実装面積が増大化してしまう。

【0017】

本発明はこのような課題に鑑みてなされたものであり、簡易な装置構成でありながら、実行可能な試験パターン数を増加させることが可能な半導体記憶装置に対する半導体試験回路を提供することを目的とする。

【0018】

また、本発明の他の目的は、簡易な装置構成でありながら、自己試験回路において実行可能な試験パターン数を増加させることが可能な半導体記憶装置を提供することである。

【0019】

さらに、本発明の他の目的は、簡易な装置構成でありながら、実行可能な試験パターン数を増加させることが可能な半導体記憶装置に対する半導体試験方法を提供することである。

【0020】**【課題を解決するための手段】**

本発明では上記課題を解決するために、図1に示すような半導体試験回路が提供される。この半導体試験回路は、半導体記憶装置の書き込み／読み出し動作の試験を行うものであり、それぞれのカウンタ値によって、前記半導体記憶装置の書き込み／読み出しアドレスのうちの1ビット分または連続する複数ビット分を指定する複数のカウンタ $1-1 \sim 1-n$ （ただし、 n は1以上の整数）と、前記各カウンタ $1-1 \sim 1-n$ のカウンタ動作を制御するカウンタ制御信号 $S_1 \sim S_n$ として、出力先以外のいずれかの前記カウンタによる最上位ビットの出力値、または、すべての前記カウンタ $1-1 \sim 1-n$ に対して共通に使用される共通カウンタ制御信号 S_{in} を、前記カウンタ $1-1 \sim 1-n$ ごとに選択的に出力するスイッチ回路2とを有することを特徴とする。

【0021】

このような半導体試験回路では、複数のカウンタ $1-1 \sim 1-n$ が設けられ、各カウンタ $1-1 \sim 1-n$ により、半導体記憶装置の書き込み／読み出しアドレスのうちの1ビット分または連続する複数ビット分が指定される。また、各カウンタ $1-1 \sim 1-n$ のカウンタ動作は、スイッチ回路2から出力されるカウンタ制御信号 $S_1 \sim S_n$ に基づいて制御される。スイッチ回路2は、出力先以外のいずれかのカウンタによる最上位ビットの出力値、または、すべてのカウンタに対して共通に使用される共通カウンタ制御信号 S_{in} のいずれかを、カウンタ制御信号 $S_1 \sim S_n$ としてカウンタ $1-1 \sim 1-n$ ごとに選択的に出力する。これにより、各カウンタ $1-1 \sim 1-n$ のカウンタ値に対する書き込み／読み出しアドレスの割り付けを変更することができる。

【0022】

また、本発明では、メモリセルへの書き込み／読み出しの試験を実行する自己

試験回路を具備する半導体記憶装置において、前記自己試験回路は、それぞれのカウンタ値によって、前記メモリセルへの書き込み／読み出しアドレスのうちの 1 ビット分または連続する複数ビット分を指定する複数のカウンタと、前記各カウンタのカウンタ動作を制御するカウンタ制御信号として、出力先以外のいずれかの前記カウンタによる前記最上位ビットの出力値、または、すべての前記カウンタに対して共通に使用される共通カウンタ制御信号を、前記カウンタごとに選択的に出力するスイッチ回路とを有することを特徴とする半導体記憶装置が提供される。

【0023】

このような半導体記憶装置では、自己試験回路に複数のカウンタが設けられ、各カウンタにより、半導体記憶装置の書き込み／読み出しアドレスのうちの 1 ビット分または連続する複数ビット分が指定される。また、各カウンタのカウンタ動作は、スイッチ回路から出力されるカウンタ制御信号に基づいて制御される。スイッチ回路は、出力先以外のいずれかのカウンタによる最上位ビットの出力値、または、すべてのカウンタに対して共通に使用される共通カウンタ制御信号のいずれかを、カウンタ制御信号としてカウンタごとに選択的に出力する。これにより、各カウンタのカウンタ値に対する書き込み／読み出しアドレスの割り付けを変更することができる。

【0024】

さらに、本発明では、半導体記憶装置に対する書き込み／読み出し動作に対する半導体試験方法において、複数のカウンタのうち出力先以外のいずれかによる最上位ビットの出力値、または、すべての前記カウンタに対して共通に使用される共通カウンタ制御信号を、選択的に前記各カウンタに入力してそれぞれのカウンタ動作を個別に制御し、前記カウンタのそれぞれのカウンタ値によって、前記半導体記憶装置の書き込み／読み出しアドレスのうちの 1 ビット分または連続する複数ビット分を指定することを特徴とする半導体試験方法が提供される。

【0025】

このような半導体試験方法では、複数のカウンタのそれぞれにより、半導体記憶装置の書き込み／読み出しアドレスのうちの 1 ビット分または連続する複数ビ

ット分が指定される。また、各カウンタのカウンタ動作は、出力先以外のいずれかのカウンタによる最上位ビットの出力値、または、すべてのカウンタに対して共通に使用される共通カウンタ制御信号のいずれかが選択的に入力されることにより制御される。これにより、各カウンタのカウンタ値に対する書き込み／読み出しアドレスの割り付けを変更することができる。

【0026】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

図1は、本発明の半導体試験回路の原理を説明するための原理図である。

【0027】

本発明の半導体試験回路は、DRAM等の半導体記憶装置に対する出荷前試験を実行するためのもので、主に、試験対象の半導体記憶装置と同一のチップ上または同一のパッケージ上において、自己試験回路として設けられる。この半導体試験回路は、複数のカウンタ $1-1 \sim 1-n$ (ただし、 n は1以上の整数) と、スイッチ回路2とを具備する。

【0028】

カウンタ $1-1 \sim 1-n$ は、試験対象の半導体記憶装置の書き込み／読み出しアドレスのうちの1ビット分または連続する複数ビット分をそれぞれ指定する。すなわち、書き込み／読み出しアドレスとして出力すべきアドレス群のうち、1ビット分または連続する複数ビット分が、各カウンタ $1-1 \sim 1-n$ のカウンタ値に対して割り付けられて、これらのカウンタ値が半導体記憶装置に出力される。また、各カウンタ $1-1 \sim 1-n$ のカウンタ動作は、スイッチ回路2から出力されるカウンタ制御信号 $S_1 \sim S_n$ によって制御される。例えば、カウンタ制御信号 $S_1 \sim S_n$ は、各カウンタ $1-1 \sim 1-n$ のカウンタアップまたはカウンタダウンのタイミングを与える。さらに、各カウンタ $1-1 \sim 1-n$ からの最上位ビットのカウンタ値 $C_1 \sim C_n$ は、試験対象の半導体記憶装置とともに、スイッチ回路2に出力される。

【0029】

スイッチ回路2は、各カウンタ $1-1 \sim 1-n$ に対するカウンタ制御信号 S_1

～ S_n として、入力された信号を個別に切り換えて出力する。このスイッチ回路 2 には、各カウンタ $1-1 \sim 1-n$ からの最上位ビットのカウンタ値 $C_1 \sim C_n$ と、各カウンタ $1-1 \sim 1-n$ に対して共通のカウンタ制御信号として使用される共通カウンタ制御信号 S_{in} が入力される。そして、スイッチ回路 2 は、カウンタ制御信号 $S_1 \sim S_n$ として、共通カウンタ制御信号 S_{in} 、または、出力先以外のいずれかのカウンタによる最上位ビットの出力値のいずれかを選択的に出力する。例えば、カウンタ $1-1$ に対するカウンタ制御信号 S_1 として、共通カウンタ制御信号 S_{in} と、他の $1-2 \sim 1-n$ のいずれかからのカウンタ値 $C_2 \sim C_n$ とを切り換えて出力する。スイッチ回路 2 は、このような出力信号の切り換え動作を、例えば外部から入力されるモード指定信号 $MODE$ に応じて行う。

【0030】

このような構成により、書き込み／読み出しアドレスの各ビットに対する各カウンタ $1-1 \sim 1-n$ の割り付けを、スイッチ回路 2 における切り換え動作によって変更することができる。例えば、 $N=2$ とした場合、スイッチ回路 2 において、カウンタ $1-1$ へのカウンタ制御信号 S_1 として共通カウンタ制御信号 S_{in} を選択し、カウンタ $1-2$ へのカウンタ制御信号 S_2 として、カウンタ $1-1$ の最上位ビット C_1 を選択すると、各カウンタ $1-1$ および $1-2$ は、書き込み／読み出しアドレスの各ビットに対して下位側ビット、上位側ビットを指定するようにそれぞれに割り付けられた一体のアドレスカウンタとして動作する。ここで、例えばカウンタ $1-1$ および $1-2$ のカウンタ値でそれぞれコラムアドレス、ローアドレスを指定するものとする、共通カウンタ制御信号 S_{in} の入力に応じて、カウンタ $1-1$ のカウンタ値、すなわちコラムアドレスを優先的に変化させることができる。

【0031】

一方、スイッチ回路 2 において、カウンタ制御信号 S_1 および S_2 として、カウンタ $1-2$ の最上位ビット C_1 、共通カウンタ制御信号 S_{in} をそれぞれ選択すると、各カウンタ $1-1$ および $1-2$ のカウンタ値には、書き込み／読み出しアドレスの各ビットに対して上位側ビット、下位側ビットが割り付けられる。従って、共通カウンタ制御信号 S_{in} の入力に応じて、カウンタ $1-2$ のカウンタ

値、すなわち上記構成の場合はローアドレスを優先的に変化させることができる。

【0032】

さらに、3つ以上のカウンタを使用する場合は、例えば、スイッチ回路2において、いずれか1つのカウンタに対して共通カウンタ制御信号 S_{in} を選択し、他のカウンタに対してはそれぞれ異なるカウンタからの最上位ビットを選択することで、これらのカウンタを一体のアドレスカウンタとして使用することができる。例えば、複数のバンクを具備する半導体記憶装置の場合に、コラムアドレス、ローアドレスおよびバンクアドレスをそれぞれカウンタ1-1、1-2および1-3が指定するようにし、スイッチ回路2において、カウンタ制御信号 S_1 、 S_2 および S_3 として、共通カウンタ制御信号 S_{in} 、カウンタ1-1の最上位ビット C_1 、カウンタ1-2の最上位ビット C_2 をそれぞれ選択する。これにより、書き込み／読み出しアドレスとして下位側からコラムアドレス、ローアドレス、バンクアドレスが割り付けられ、コラムアドレスを優先的に変化させた試験を行うことができる。

【0033】

同様に、カウンタ制御信号 S_1 、 S_2 および S_3 として、カウンタ1-3の最上位ビット C_3 、カウンタ1-1の最上位ビット C_1 、共通カウンタ制御信号 S_{in} をそれぞれ選択すると、書き込み／読み出しアドレスとして下位側からバンクアドレス、コラムアドレス、ローアドレスが割り付けられ、バンクアドレスを優先的に変化させた試験を行うことができる。ここで、前者の場合はページ動作について、後者の場合はバンクインタリーブ動作について、例えば仕様上の最高速度での書き込み／読み出しを行った場合の試験を行うことが可能となる。

【0034】

このように、本発明の半導体試験回路では、スイッチ回路2での切り替え動作により、書き込み／読み出しアドレス内のアドレス群に対する各カウンタ1-1～1-nのカウンタ値の割り付けを、任意に変更して試験を行うことが可能となる。これにより、実行可能な試験パターンが増加し、試験対象の半導体記憶装置の構造に応じた適切な試験を実行することが可能となる。

【0035】

また、本発明では、カウンタ 1-1 ~ 1-n のカウントする合計ビット数として、書き込み／読み出しアドレスの指定に必要なビット数以上が必要とされないため、カウンタの回路規模を大きくする必要がない。さらに、スイッチ回路 2 では入力信号の切り換え動作のみが行われ、複雑な制御や回路が必要とならない。従って、装置コストや回路面積を大きく増大させることなく、試験パターン数を容易に増加させ、不良品の検出精度を高めることが可能となる。

【0036】

次に、本発明の半導体試験回路を、SDRAM (Synchronous-DRAM) に対する自己試験回路 (BIST回路) に適用した場合を想定して、本発明の実施の形態例を具体的に説明する。なお、以下では例として、記憶容量 64 Mbit で、メモリセルアレイ上に 4 つのバンクを具備する SDRAM に本発明を適用した場合について説明する。

【0037】

図 2 は、本発明の第 1 の実施の形態に係る SDRAM の要部構成例を示す図である。

本実施の形態に係る SDRAM は、図 2 に示すように、BIST 回路 100 とメモリセルアレイ 200 とを具備する。ここで、BIST 回路 100 は、メモリセルアレイ 200 と同一チップ上あるいは同一パッケージ上に、メモリセルアレイ 200 に対する自己試験回路として形成される。また、BIST 回路 100 は、BIST 制御回路 110、アドレス発生回路 120、パターンデータ発生回路 130、および比較器 140 を具備する。

【0038】

BIST 制御回路 110 は、外部から入力されるコマンドコード信号 CODE に基づいて、BIST 回路 100 内の動作と、試験時のメモリセルアレイ 200 における書き込み／読み出し動作とを制御する。この BIST 制御回路 110 は、外部からのクロック信号 CLK に同期して動作する。

【0039】

BIST 制御回路 110 は、コマンドコード信号 CODE に応じて自己試験の

実行を開始するとともに、コマンドコード信号 C O D E で指定される試験パターンを認識する。そして、この試験パターンに応じて、メモリセルアレイ 2 0 0 に対して、データの書き込みおよび読み出し動作、アクティブ動作、プリチャージ動作等を実行させる制御信号を出力する。また、アドレス発生回路 1 2 0 に対して、クロック信号を供給するとともに、認識した試験パターンに応じたモード信号を出力する。さらに、パターンデータ発生回路 1 3 0 に対して、クロック信号を供給するとともに、認識した試験パターンに応じて発生すべきパターンデータを指定する制御信号を出力する。

【 0 0 4 0 】

アドレス発生回路 1 2 0 は、B I S T 制御回路 1 1 0 から指定されるモード信号に応じて、メモリセルアレイ 2 0 0 上でのデータの書き込みおよび読み出しのアドレスを発生し、メモリセルアレイ 2 0 0 に出力する。

【 0 0 4 1 】

パターンデータ発生回路 1 3 0 は、B I S T 制御回路 1 1 0 からの制御信号に応じて、試験用のデータをメモリセルアレイ 2 0 0 に出力する。また、データの読み出し時には、メモリセルアレイ 2 0 0 からの読み出しデータに対する期待値データを、比較器 1 4 0 に対して出力する。

【 0 0 4 2 】

比較器 1 4 0 は、メモリセルアレイ 2 0 0 からの読み出しデータと、パターンデータ発生回路 1 3 0 からの期待値データとを比較して P a s s / F a i l の判定を行い、判定結果を出力端子 (D Q C - P A D) を通じて外部に出力する。

【 0 0 4 3 】

メモリセルアレイ 2 0 0 は、自己試験時において、B I S T 制御回路 1 1 0 からの制御信号に基づいて、パターンデータ発生回路 1 3 0 からのデータの書き込みを行い、読み出したデータを比較器 1 4 0 に出力する。このとき、アドレス発生回路 1 2 0 からのアドレスをデコードして、ビット線、ワード線およびバンクを 1 つずつ選択して、データの書き込みおよび読み出しを行うメモリセルを特定する。なお、メモリセルアレイ 2 0 0 は、4 つのバンクを具備し、各バンクへのデータの入出力は、共通に設けられたグローバルデータバスを通じて行われる。

【0044】

次に、図3は、アドレス発生回路120の内部構成例を示す図である。

アドレス発生回路120は、図3に示すように、コラムアドレスカウンタ121a、ローアドレスカウンタ121b、バンクアドレスカウンタ121c、およびMUX (Multiplexer) 122a～122cを具備する。

【0045】

コラムアドレスカウンタ121a、ローアドレスカウンタ121bおよびバンクアドレスカウンタ121cは、それぞれMUX 122a～122cから出力されるクロック信号CLK__C、CLK__RおよびCLK__Bの立ち上がりまたは立ち下がりタイミングで、出力値をカウントアップする。コラムアドレスカウンタ121aは、6ビットのカウント値CA0（最下位）～CA5（最上位）を出力して、メモリセルアレイ200上のコラムアドレスを指定する。ローアドレスカウンタ121bは、14ビットのカウント値RA0（最下位）～RA13（最上位）を出力して、ローアドレスを指定する。バンクアドレスカウンタ121cは、2ビットのカウント値BA0（最下位）およびBA1（最上位）を出力して、バンクアドレスを指定する。また、各アドレスカウンタは、カウント値の最上位ビットCA5、RA13およびBA1を、それぞれMUX 122b、122c、122aに対しても出力する。

【0046】

MUX 122a～122cでは、BIST制御回路110からの共通のクロック信号CLK__Aが、一方の入力端子に入力される。また、MUX 122a～122cのそれぞれの他方の入力端子には、バンクアドレスカウンタ121c、コラムアドレスカウンタ121aおよびローアドレスカウンタ121bのそれぞれによるカウント値の最上位ビットBA1、CA5およびRA13が入力される。

【0047】

そして、MUX 122a～122cは、BIST制御回路110から出力されるモード信号MODE1～MODE3に応じて、これらの入力信号のいずれかを選択して、クロック信号CLK__C、CLK__RおよびCLK__Bとして出力する。具体的には、各MUX 122a～122cは、モード信号MODE1～MO

DE 3 が L レベルのときにクロック信号 CLK__A を選択し、H レベルのときに他方の入力信号を選択する。

【0048】

ここで、BIST 制御回路 110 からのモード信号 MODE 1 ～ MODE 3 は、いずれか 1 つのみが L レベルとなるように出力される。すなわち、MUX 122 a ～ 122 c のうち 1 つだけが、BIST 制御回路 110 からのクロック信号 CLK__A を選択して出力する。このような動作により、モード信号 MODE 1 が L レベルのとき、アドレスの全ビットのうち、コラムアドレスが最下位に割り付けられ、それより上位にはローアドレス、バンクアドレスが順に割り付けられる。同様に、モード信号 MODE 2 が L レベルのとき、アドレスの全ビットに対して下位からローアドレス、バンクアドレス、コラムアドレスが順に割り付けられる。また、モード信号 MODE 3 が L レベルのとき、下位からバンクアドレス、コラムアドレス、ローアドレスが順に割り付けられる。

【0049】

従って、各モード信号 MODE 1 ～ MODE 3 の出力停止時に、コラムアドレスを優先して変化させるページ動作、ローアドレスを優先して変化させる動作、およびバンクアドレスを優先して変化させるバンクインタリーブ動作をそれぞれ行う試験パターンを実行することが可能となる。

【0050】

次に、MUX 122 a ～ 122 c の具体的な回路構成例について説明する。なお、MUX 122 a ～ 122 c のそれぞれの回路構成は同じとしてよいため、以下の図 4 および図 5 では MUX 122 a についてのみ説明する。

【0051】

図 4 は、MUX 122 a の第 1 の回路構成例を示す図である。

図 4 に示す回路構成では、NAND ゲート G 1 に、バンクアドレスカウンタ 121 c からのカウント値 BA 1 と、BIST 制御回路 110 からのモード信号 MODE 1 とが入力される。また、NAND ゲート G 2 の一方の入力端子には、BIST 制御回路 110 からのクロック信号 CLK__A が入力され、他方には、インバータ INV 1 からモード信号 MODE 1 の反転信号が入力される。そして、

各NANDゲートG1およびG2の出力信号がNANDゲートG3に入力され、その出力信号がクロック信号CLK__Cとしてコラムアドレスカウンタ121aに供給される。

【0052】

このような回路では、モード信号MODE1がLレベルのとき、NANDゲートG1の出力がHレベルとなり、NANDゲートG2からはクロック信号CLK__Aの反転信号が出力される。逆に、モード信号MODE1がHレベルのとき、NANDゲートG2の出力がHレベルとなり、NANDゲートG1からカウント値BA1の反転信号が出力される。従って、モード信号MODE1がLレベル、Hレベルのとき、NANDゲートG3からはそれぞれ、クロック信号CLK__A、カウント値BA1がクロック信号CLK__Cとして出力される。

【0053】

図5は、MUX122aの第2の回路構成例を示す図である。

図5に示す回路構成において、NチャネルMOS (Metal Oxide Semiconductor) トランジスタ (以下、NMOSTランジスタと略称する) NM1およびPチャネルMOSトランジスタ (以下、PMOSTランジスタと略称する) PM1は、それぞれのゲートにモード信号MODE1、インバータINV2からのモード信号MODE1の反転信号が入力されることで、カウント値BA1に対するスイッチ回路を構成する。また、PMOSTランジスタPM2およびNMOSTランジスタNM2は、それぞれのゲートにモード信号MODE1、インバータINV2からのモード信号MODE1の反転信号が入力されることで、クロック信号CLK__Aに対するスイッチ回路を構成する。

【0054】

従って、モード信号MODE1がHレベルのとき、NMOSTランジスタNM1およびPMOSTランジスタPM1がON状態となり、カウント値BA1がクロック信号CLK__Cとして出力される。また、モード信号MODE1がLレベルのとき、PMOSTランジスタPM2およびNMOSTランジスタNM2がON状態となり、クロック信号CLK__Aが出力される。

【0055】

なお、MUX 122b および 122c については、上記の図 4 および図 5 の回路構成において、ともに、入力信号としてカウント値 BA1 の代わりにそれぞれカウント値 CA5、RA13 が入力されればよい。

【0056】

次に、本実施の形態の SDRAM において実行可能な試験パターンの例を示し、試験時の動作について説明する。まず、コラムアドレスを優先して変化させて、ページ動作を行う場合の試験パターンの例を挙げる。

【0057】

図 6 は、コラムアドレスを優先して変化させる場合の各アドレスカウンタに対するアドレス割り付けを示す図である。

コラムアドレスを優先して変化させる場合、アドレス発生回路 120 では、モード信号 MODE1 が L レベル、モード信号 MODE2 および MODE3 が H レベルとされる。これにより、アドレス発生回路 120 では、図 6 に示すように、最下位側から最上位側にコラムアドレス、ローアドレス、バンクアドレスが順次割り付けられた 22 ビットのアドレスカウンタが構成される。

【0058】

図 7 は、コラムアドレスを優先して変化させる場合の試験パターン例を説明するためのタイムチャートである。

図 7 において、“WR” “RD” はそれぞれメモリセルアレイ 200 における書き込み、読み出し動作が実行されることを示し、“ACT” “PRE” はそれぞれメモリセルアレイ 200 におけるアクティブ動作、プリチャージ動作が実行されることを示す。また、“RC” は、選択されたワード線に接続されるすべてのビット線を順次選択したときの期間を表すラズサイクルを示している。そして、図 7 の上段では、1 RC 中に実行される書き込みや読み出し等の動作を、指定されるアドレス（ここではコラムアドレス）の変化とともに示しており、下段では、すべてのアドレスが指定された場合のアドレスの変化（ここではローアドレスおよびバンクアドレス）を示している。なお、クロック信号 CLK__A は、クロック信号 CLK と同期している。

【0059】

図7に示す試験パターンでは、書き込み時、読み出し時に、コマンドコード信号CODEとしてそれぞれ“BIST48” “BIST49”が外部から指定されている。この指定を受けたBIST制御回路110は、モード信号MODE1をLレベルとし、モード信号MODE2およびMODE3の双方をHレベルとする。

【0060】

この試験パターンでは、まず“BIST48”が指定されてメモリセルアレイ200のすべてのメモリセルに対して、パターンデータ発生回路130からのデータの書き込みが行われる。アドレス発生回路120では、クロック信号CLK__Aに従って、コラムアドレスが優先して変化される。従って、1RC中において、コラムアドレスが“0x00”～“0x3F”まで順次変化される。すなわち、バンクアドレス“0”のバンクにおいてローアドレス“0x0000”で選択されるワード線上で、ビット線がクロック信号CLK__Aに同期して順次選択され、データの書き込みが行われる。なお、1RCにおける書き込み動作前および動作後には、それぞれメモリセルアレイ200に対するアクティブ動作およびプリチャージ動作がそれぞれ行われる。

【0061】

この後、2回目のRCでは、カウント値CA5の出力に応じて、ローアドレスが“0x0001”に変更され、再び全ビット線の選択が行われる。このように、ローアドレスの変更によりワード線が順次選択された後、さらにバンクアドレスが変更されて、4つのバンクに対して同様の書き込み動作が行われる。

【0062】

次に、“BIST49”が指定されて、メモリセルアレイ200に書き込まれたすべてのデータが読み出される。このとき、書き込み時と同様に、コラムアドレス、ローアドレス、バンクアドレスの順に優先してアドレス指定が変化される。読み出されたデータは、比較器140において比較され、Pass/Failの判定結果が外部に出力されて、デバイスの不良が検出される。

【0063】

このような試験パターンにより、各バンク内のローカルデータバス（ワード線

）上において、仕様上最速の書き込み／読み出しサイクルでのデータ反転試験を行うことが可能となる。

【0 0 6 4】

次に、ローアドレスを優先して変化させた場合の試験パターンについて説明する。ここでは例として、マーチング試験を挙げる。

図 8 は、ローアドレスを優先して変化させる場合の各アドレスカウンタに対するアドレス割り付けを示す図である。

【0 0 6 5】

ローアドレスを優先して変化させる場合、アドレス発生回路 1 2 0 では、モード信号MODE 1 がHレベル、モード信号MODE 2 がLレベル、MODE 3 がHレベルとされる。これにより、アドレス発生回路 1 2 0 では、図 8 に示すように、最下位側から最上位側にローアドレス、バンクアドレス、コラムアドレスが順次割り付けられた 2 2 ビットのアドレスカウンタが構成される。

【0 0 6 6】

図 9 は、ローアドレスを優先して変化させる場合の試験パターン例を説明するためのタイムチャートである。

図 9 において、“B I S T 5 2” では 1 R C 中において 1 回のデータの書き込みが行われ、“B I S T 5 5” では 1 R C 中に 1 回のデータの読み出しが行われる。また、“B I S T 5 3” “B I S T 5 4” では、1 R C 中において、データの読み出しを行った後、これに連続して、読み出したデータの反転データが書き込まれる。これらのコマンドコード信号CODEが指定されると、B I S T 制御回路 1 1 0 は、モード信号MODE 1 ～MODE 3 のそれぞれをHレベル、Lレベル、Hレベルとする。

【0 0 6 7】

この試験パターンでは、まず“B I S T 5 2” が指定されて、メモリセルアレイ 2 0 0 のすべてのメモリセルに対してデータの書き込みが行われる。“B I S T 5 2” では、1 R C 中において 1 つのメモリセルに対するデータの書き込みが行われる。また、アドレス発生回路 1 2 0 では、クロック信号CLK__Aに従ってローアドレスが優先して変化され、1 R C ごとにワード線が順次選択されてい

く。すべてのワード線が選択された後、バンクの選択が順次変更されて同様の書き込み動作が行われる。さらに、ここまでの書き込み動作が、ビット線を順次変更して繰り返される。

【0068】

この後、“BIST53” “BIST54” “BIST55” が順次指定され、ローアドレス、バンクアドレス、コラムアドレスの順に優先して変化させるアドレス指定により、各試験パターンについてすべてのメモリセルを指定した動作が行われる。このような試験パターンにより、ローアドレスを優先的に変化させた場合のデータ反転試験を行うことが可能となる。

【0069】

なお、例えば上記の“BIST52”や“BIST55”のように1RC中で1回の読み出し、書き込みを行う場合に、アクティブ動作後に読み出しや書き込みを行うまでのクロック数や、読み出しや書き込み後にプリチャージ動作を行うまでのクロック数を変化させるインターナルチェッカ試験等を行うことも可能である。

【0070】

次に、バンクアドレスを優先して変化させた場合の試験パターンについて説明する。

図10は、バンクアドレスを優先して変化させる場合の各アドレスカウンタに対するアドレス割り付けを示す図である。

【0071】

バンクアドレスを優先して変化させる場合、アドレス発生回路120では、モード信号MODE1およびMODE2がともにHレベル、MODE3がLレベルとされる。これにより、アドレス発生回路120では、図10に示すように、最下位側から最上位側にバンクアドレス、コラムアドレス、ローアドレスが順次割り付けられた22ビットのアドレスカウンタが構成される。

【0072】

図11は、バンクアドレスを優先して変化させる場合の試験パターン例を説明するためのタイムチャートである。

図 11 において、“BIST50”では、コラムアドレスおよびローアドレスが固定された状態で、バンクアドレスが順次変更されるバンクインタリーブ動作が行われて、各バンクにデータの書き込みが行われる。また、全バンクへの書き込み後にコラムアドレスが変更され、その都度同様にバンクを変更した書き込みが行われる。以上の動作が1RC内で行われ、さらにローアドレスを変更して同様の動作が繰り返され、全メモリセルへのデータの書き込みが行われる。この後さらに、“BIST51”により、同様なバンクインタリーブ動作によるデータの読み出しが行われ、デバイスの不良が検出される。

【0073】

このような試験パターンでは、各バンクに共通に設けられたグローバルデータバス上において、仕様上の最速の書き込み／読み出しサイクルでのデータ反転試験やデータバス干渉試験等を行うことが可能となる。

【0074】

以上のように、BIST回路100では、必要最小限のビット数に対応するカウンタのみ設けられた構成でありながら、コラムアドレス、ローアドレス、バンクアドレスの割り付けを容易に変更して、優先して変化させるアドレスの異なる各種の試験パターンを実行することが可能となる。従って、装置コストの上昇や実装面積の拡大を最小限に留めながら、不良品の検出精度を向上させることが可能となる。特に、本実施の形態の場合、各バンクのローカルデータバスを視点としたAT-SPEED試験と、グローバルデータバスを視点としたAT-SPEED試験の双方を実行することが可能であり、近年の半導体メモリデバイスの構造に見合った適切な試験を容易に行うことが可能となる。

【0075】

次に、各アドレスカウンタの具体的な回路構成例について説明する。アドレスカウンタとしては、非同期式カウンタ、あるいは同期式カウンタを用いることが可能である。なお、以下の説明では、例として、コラムアドレスカウンタ121aの構成について説明する。

【0076】

図12は、非同期式カウンタを用いた場合のコラムアドレスカウンタ121a

の概略構成を示す図である。

非同期式カウンタを用いた場合には、コラムアドレスカウンタ 121a は、図 12 に示すように、ビット数に応じた数のフリップフロップ回路 FF1～FF6 を直列に接続することにより構成される。すなわち、初段のフリップフロップ回路 FF1 には、クロック信号 CLK_C が入力され、その出力が最下位のカウンタ値 CA0 となるとともに、出力を反転した信号が次のフリップフロップ回路 FF2 の入力とされる。以下同様に、カウンタ値 CA1～CA5 がそれぞれフリップフロップ回路 FF2～FF6 から出力され、最終段のフリップフロップ回路 FF6 からの出力信号は、MUX122b にも出力される。

【0077】

図 13 は、フリップフロップ回路 FF1 の回路構成例を示す図である。なお、他のフリップフロップ回路 FF2～FF6 も同様の回路構成を有している。

図 13 に示すフリップフロップ回路 FF1 には、その出力段において、PMOS トランジスタ PM11 および NMOS トランジスタ NM11 からなる CMOS (Complementary-MOS) インバータ回路と、インバータ INV11 とによって、ラッチ回路が形成されている。また、中間部においても同様に、PMOS トランジスタ PM12 および NMOS トランジスタ NM12 からなる CMOS インバータ回路と、インバータ INV12 とによって、ラッチ回路が形成されている。

【0078】

出力段のラッチ回路は、入力されるクロック信号 CLK_C が L レベルのとき、PMOS トランジスタ PM13 が ON 状態となるとともに、クロック信号 CLK_C がインバータ INV13 によって反転された信号を受けた NMOS トランジスタ NM13 が ON 状態となることにより、ラッチ動作を行う。また、クロック信号 CLK_C が H レベルのときは、その前段の PMOS トランジスタ PM13 および NMOS トランジスタ NM13 がともに ON 状態となって、PMOS トランジスタ PM14 および NMOS トランジスタ NM14 からなる CMOS インバータ回路の出力値が、インバータ INV11 に入力される。インバータ INV11 の出力信号は、カウンタ値 CA0 となる。

【0079】

一方、中間部のラッチ回路は、クロック信号CLK__CがHレベルのとき、PMOSトランジスタPM15およびNMOSトランジスタNM15がともにON状態となることにより、ラッチ動作を行う。また、クロック信号CLK__CがLレベルのときは、その前段のPMOSトランジスタPM16およびNMOSトランジスタNM16がともにON状態となって、PMOSトランジスタPM17およびNMOSトランジスタNM17からなるCMOSインバータ回路の出力値が、インバータINV12に入力される。また、このCMOSインバータ回路には、インバータINV11に対する入力信号がフィードバックされて入力される。また、インバータINV12の出力信号は、PMOSトランジスタPM14およびNMOSトランジスタNM14からなるCMOSインバータ回路の入力信号となる。

【0080】

このようなフリップフロップ回路FF1は、以下のように動作する。クロック信号CLK__CがHレベルのとき、中間部のラッチ回路が機能する。このときインバータINV12の出力がHレベルであったとすると、その反転信号がインバータINV11に入力されて、カウント値CA0がHレベルとなる。

【0081】

次に、クロック信号CLK__CがLレベルに変化すると、出力段のラッチ回路が機能して、出力するカウント値CA0をHレベルに保持する。また、その反転信号が、PMOSトランジスタPM17およびNMOSトランジスタNM17からなるインバータ回路の入力としてフィードバックされ、インバータINV2に対する入力信号がHレベルとなる。

【0082】

次に、クロック信号CLK__Cが再びHレベルに変化すると、中間部のラッチ回路が機能して、インバータINV12の出力信号がLレベルに保持される。この出力信号は、PMOSトランジスタPM14およびNMOSトランジスタNM14からなるCMOSインバータ回路を介してインバータINV11に入力され、出力されるカウント値CA0がLレベルに変化する。

【0083】

次に、クロック信号CLK__Cが再びLレベルに変化すると、出力段のラッチ回路が機能して、出力するカウント値CA0がLレベルに保持される。以後、クロック信号CLK__Cの立ち上がりタイミングで、カウント値CA0がHレベルおよびLレベルに交互に変化する。

【0084】

なお、以上のコラムアドレスカウンタ121aの回路構成はあくまで一例であり、他の非同期式カウンタを用いた回路構成を適用することも可能である。

次に、図14は、同期式カウンタを用いた場合のコラムアドレスカウンタ121aの概略構成を示す図である。

【0085】

同期式カウンタを用いた場合には、コラムアドレスカウンタ121aは、図14に示すように、ビット数に応じた数のフリップフロップ回路FF11～FF16を具備している。各フリップフロップ回路FF11～FF16には、クロック信号CLK__Cが入力されるとともに、それより下位のすべてのカウント値が入力される。各フリップフロップ回路FF11～FF16は、下位のすべてのカウント値がHレベルとなったときに、クロック信号CLK__Cの立ち下がりタイミングで、出力するカウント値CA0～CA5をそれぞれ反転させる。

【0086】

また、図14では、例としてFF15の回路構成例を示している。このFF15では、NANDゲートG21およびG22において、下位のカウント値CA0～CA3の入力を受ける。各NANDゲートG21およびG22の出力信号は、NORゲートG23に入力され、これにより、下位のカウント値CA0～CA3のすべてがHレベルとなったとき、NORゲートG23の出力信号がHレベルとなる。

【0087】

また、NORゲートG23の出力信号と、入力されるクロック信号CLK__Cとは、NANDゲートG24に入力され、その出力信号が、インバータINV21を介して、フリップフロップ回路FF20のクロック入力端子Cに入力される

。これにより、下位のカウンタ値 $CA0 \sim CA3$ のすべてが H レベルで、かつ、クロック信号 CLK_C が H レベルのときに、フリップフロップ回路 $FF20$ のクロック入力 Q が H レベルとなる。また、フリップフロップ回路 $FF20$ では、出力端子 Q がカウンタ値 $CA4$ とされるとともに、その反転信号が反転端子 QB からデータ入力端子 D にフィードバックされる。

【0088】

なお、他の $FF11 \sim FF14$ および $FF16$ についても、基本的な構成を同じとなる。すなわち、各種のゲート回路を接続して、下位のカウンタ値がすべて H レベルとなったときに、NAND ゲート $G24$ の一方の入力端子が H レベルとなるように構成する。

【0089】

ここで、図 15 は、フリップフロップ回路 $FF20$ の回路構成例を示す図である。

図 15 に示すフリップフロップ回路 $FF20$ には、インバータ $INV22$ および $INV23$ によってなる出力側のラッチ回路と、NAND ゲート $G25$ およびインバータ $INV24$ によってなる前段のラッチ回路とが設けられている。また、インバータ $INV22$ の出力信号は、さらにインバータ $INV25$ および $INV26$ を介して、出力端子 Q から出力される。

【0090】

一方、インバータ $INV25$ の出力は、反転端子 QB を介してデータ入力端子 D にフィードバックされる。データ入力端子 D は、NMOS トランジスタ $NM21$ および PMOS トランジスタ $PM21$ によってなるスイッチ回路を介して、NAND ゲート $G25$ の一方の入力端子に接続されている。なお、NAND ゲート $G25$ の他方の入力端子には、クリア信号 CLR が入力される。さらに、NAND ゲート $G25$ の出力信号は、PMOS トランジスタ $PM22$ および NMOS トランジスタ $NM22$ によってなるスイッチ回路を介して、インバータ $INV22$ に入力される。

【0091】

このようなフリップフロップ回路 $FF20$ において、クロック入力端子 C への

入力信号がLレベルであるとき、PMOSトランジスタPM22がON状態となるとともに、入力信号がインバータINV27によって反転された信号によりNMOSトランジスタNM22もON状態となる。これにより、NANDゲートG25の出力信号が、出力側のラッチ回路の出力を更新する。このとき、例えば出力端子Qからの出力信号がHレベルであったとする。

【0092】

次に、クロック入力端子CがHレベルに変化すると、PMOSトランジスタPM22およびNMOSトランジスタNM22がともにOFF状態となる。このとき、出力側のラッチ回路の動作により、出力端子Qからの出力信号がHレベルに保持される。また、NMOSトランジスタNM21およびPMOSトランジスタPM21がともにON状態となり、出力信号の反転信号の入力をNANDゲートG25が受けて、NANDゲートG25の出力信号がHレベルに更新される。

【0093】

次に、再びクロック入力端子CがLレベルに変化すると、NANDゲートG25の出力信号により、出力端子Qからの出力信号がLレベルに変化する。さらに、クロック入力端子CがHレベルに変化すると、出力端子Qからの出力信号がLレベルに保持されるとともに、NANDゲートG25の出力信号がLレベルに更新される。以後、クロック入力端子Cに対する入力信号の立ち下がりタイミングにおいて、出力端子Qからの出力信号がHレベルおよびLレベルに交互に変化する。

【0094】

ところで、一般に、同期式カウンタは、非同期式カウンタと比較してカウンタアップ速度が高いことが特徴といえる。しかし、同期式カウンタは、非同期式カウンタよりも回路の実装面積が大きくなってしまう。従って、同期式カウンタと非同期式カウンタについては、各アドレスカウンタに対して必要に応じて、そのいずれかを選択して設けることが望ましい。例えば、ページ動作やバンクインタリーブ動作は、高速なアドレス変化が必要とされる場合が比較的多いことから、コラムアドレスカウンタ121aおよびバンクアドレスカウンタ121cとして同期式カウンタを使用し、ローアドレスカウンタ121bとして非同期式カウン

タを使用する等の方法が考えられる。これにより、回路の実装面積の拡大を最小限に留めながら、アドレス変化を高速化することが可能となる。

【0095】

また、各アドレスカウンタについて、同期式カウンタと非同期式カウンタの双方を設けて、試験動作中にスイッチ回路によって必要に応じて選択して使用するようにしてもよい。以下、このような場合について、第2の実施の形態例として説明する。

【0096】

図16は、本発明の第2の実施の形態に係るDRAMの要部構成例を示す図である。

本実施の形態におけるDRAMのBIST回路の基本的な構成は、上記の第1の実施の形態の場合と同様である。すなわち、アドレス発生回路内において、コラムアドレスカウンタ、ローアドレスカウンタと、バンクアドレスカウンタと、各アドレスカウンタのカウントアップ動作を実行させるためのクロック信号CLK_C、CLK_RおよびCLK_Bの出力を切り換えるMUXとが設けられる。また、本実施の形態では、バンクアドレスカウンタについて、非同期式カウンタと同期式カウンタの双方を設けて、スイッチ回路により選択可能としたことを特徴とする。

【0097】

図16に示すように、本実施の形態に係るバンクアドレスカウンタは、それぞれ同じ出力ビット数を有する非同期式カウンタ211および同期式カウンタ212と、これらへの信号入出力を切り換えるセクタ213および214を具備する。各カウンタに対するクロック信号CLK_Bは、セクタ213により切り換えられて入力される。また、各カウンタからの出力信号は、セクタ214によって切り換えられて、カウント値BA_0～BA_i（ただし、iは1以上の整数）として出力される。さらに、最上位のカウント値BA_iは同期式カウンタ212の出力から取り出され、第1の実施の形態の場合と同様に、MUX122aに対して供給される。

【0098】

ここで、セレクト 2 1 3 および 2 1 4 における切り換え動作は、タイミング信号 T に応じて切り換えられる。このタイミング信号 T は、B I S T 制御回路から出力され、メモリセルアレイに対する書き込みおよび読み出し動作時に H レベルとされる。セレクト 2 1 3 および 2 1 4 は、タイミング信号 T が H レベルのとき、同期式カウンタ 2 1 2 に対して入出力端子を接続し、L レベルのとき非同期式カウンタ 2 1 1 に対して入出力端子を接続する。すなわち、メモリセルアレイに対する書き込みおよび読み出し動作時には同期式カウンタ 2 1 2 が使用され、その他の例えばアクティブ動作時やプリチャージ動作時等には非同期式カウンタ 2 1 1 が使用される。

【0 0 9 9】

図 1 7 は、本実施の形態において、バンクアドレスを優先して変化させる場合の試験パターン例を説明するためのタイムチャートである。

図 1 7 では、バンク数が“2”の場合の D R A M に対するバンクインタリーブ動作時の試験パターン例について示している。この例では、データの書き込みおよび読み出し動作中におけるバンク切り換えは比較的高速に行う必要があるが、これらの動作と比較して、アクティブ動作時やプリチャージ動作時のバンク指定の変更は高速で行う必要はない。このような場合、書き込みおよび読み出し動作中のみタイミング信号 T を H レベルとし、同期式カウンタ 2 1 2 を使用してバンクの切り換えを行うことが好ましい。また、同期式カウンタ 2 1 2 による最上位のカウンタ値が、コラムアドレスカウンタ 1 2 1 a のカウンタアップ動作を制御する構成により、コラムアドレスの変更は書き込みおよび読み出し動作時にのみ行われる。

【0 1 0 0】

従って、本実施の形態では、メモリセルアレイへの書き込みおよび読み出し動作時にのみ、バンク切り換え速度を容易に高速化することができ、回路の実装面積の拡大を最小限に留めながら、必要に応じた高い速度での試験を容易に実行することができる。このような構成は、例えば、バンク数がさらに多いメモリデバイスで、全バンクのうちの一部のバンクのみ対象として試験を行う場合に適用することも可能である。この場合、試験時の書き込みおよび読み出し時のために、

試験対象とするバンク数に対応したカウンタ値を出力する同期式のカウンタを設ければよい。

【0 1 0 1】

(付記 1) 半導体記憶装置の書き込み／読み出し動作の試験を行う半導体試験回路において、

それぞれのカウンタ値によって、前記半導体記憶装置の書き込み／読み出しアドレスのうちの 1 ビット分または連続する複数ビット分を指定する複数のカウンタと、

前記各カウンタのカウンタ動作を制御するカウンタ制御信号として、出力先以外のいずれかの前記カウンタによる最上位ビットの出力値、または、すべての前記カウンタに対して共通に使用される共通カウンタ制御信号を、前記カウンタごとに選択的に出力するスイッチ回路と、

を有することを特徴とする半導体試験回路。

【0 1 0 2】

(付記 2) 前記スイッチ回路は、いずれか 1 つの前記カウンタに対して前記共通カウンタ制御信号を出力し、他の前記カウンタに対してはそれぞれ異なる前記カウンタによる最上位ビットの出力値を出力することを特徴とする付記 1 記載の半導体試験回路。

【0 1 0 3】

(付記 3) 前記スイッチ回路は、前記カウンタごとに前記カウンタ制御信号を個別に出力する個別スイッチ回路を有し、

前記各個別スイッチ回路は、前記カウンタ制御信号の出力先以外で、かつ前記個別スイッチ回路ごとに異なるいずれかの前記各カウンタによる前記最上位ビットの出力値、または前記共通カウンタ制御信号を選択的に出力することを特徴とする付記 1 記載の半導体試験回路。

【0 1 0 4】

(付記 4) 前記カウンタのうちの 1 つは、前記半導体記憶装置のコラムアドレスを指定し、他の前記カウンタのうちの 1 つはローアドレスを指定することを特徴とする付記 1 記載の半導体試験回路。

【0 1 0 5】

(付記 5) 前記コラムアドレスを指定するカウンタは、同期式カウンタによって構成され、前記ローアドレスを指定するカウンタは、非同期式カウンタによって構成されることを特徴とする付記 4 記載の半導体試験回路。

【0 1 0 6】

(付記 6) さらに他の前記カウンタのうちの 1 つは前記半導体記憶装置のバンクアドレスを指定することを特徴とする付記 4 記載の半導体試験回路。

(付記 7) 前記カウンタのうちの 1 つは、
非同期式カウンタと、
最上位ビットの出力値が前記スイッチ回路に入力される同期式カウンタと、
入力される前記カウンタ制御信号を前記非同期式カウンタまたは前記同期式カウンタに選択的に出力するとともに、前記非同期式カウンタまたは前記同期式カウンタのカウント値を前記書き込み／読み出しアドレスとして選択的に出力するカウンタ選択回路と、
を有することを特徴とする付記 1 記載の半導体試験回路。

【0 1 0 7】

(付記 8) 前記カウンタ選択回路は、前記半導体記憶装置における読み出し動作および書き込み動作の実行時に、前記同期式カウンタに対して入出力を切り換えることを特徴とする付記 7 記載の半導体試験回路。

【0 1 0 8】

(付記 9) 前記非同期式カウンタ、前記同期式カウンタおよび前記カウンタ選択回路を有する前記カウンタのカウント値により、前記半導体記憶装置のバンクアドレスが指定されることを特徴とする付記 7 記載の半導体試験回路。

【0 1 0 9】

(付記 1 0) 前記半導体記憶装置と同一チップ内または同一パッケージ内に設けられたことを特徴とする付記 1 記載の半導体試験回路。

(付記 1 1) メモリセルへの書き込み／読み出しの試験を実行する自己試験回路を具備する半導体記憶装置において、
前記自己試験回路は、

それぞれのカウンタ値によって、前記メモリセルへの書き込み／読み出しアドレスのうちの1ビット分または連続する複数ビット分を指定する複数のカウンタと、

前記各カウンタのカウンタ動作を制御するカウンタ制御信号として、出力先以外のいずれかの前記カウンタによる最上位ビットの出力値、または、すべての前記カウンタに対して共通に使用される共通カウンタ制御信号を、前記カウンタごとに選択的に出力するスイッチ回路と、

を有することを特徴とする半導体記憶装置。

【0 1 1 0】

(付記 1 2) 前記スイッチ回路は、いずれか1つの前記カウンタに対して前記共通カウンタ制御信号を出力し、他の前記カウンタに対してはそれぞれ異なる前記カウンタによる最上位ビットの出力値を出力することを特徴とする付記 1 1 記載の半導体記憶装置。

【0 1 1 1】

(付記 1 3) 前記書き込み／読み出しアドレスによって指定され、書き込み／読み出しデータを入出力するデータバスを共有する複数のバンクを有することを特徴とする付記 1 1 記載の半導体記憶装置。

【0 1 1 2】

(付記 1 4) 半導体記憶装置に対する書き込み／読み出し動作に対する半導体試験方法において、

複数のカウンタのうち出力先以外のいずれかによる最上位ビットの出力値、または、すべての前記カウンタに対して共通に使用される共通カウンタ制御信号を、選択的に前記各カウンタに入力してそれぞれのカウンタ動作を個別に制御し、

前記カウンタのそれぞれのカウンタ値によって、前記半導体記憶装置の書き込み／読み出しアドレスのうちの1ビット分または連続する複数ビット分を指定する、

ことを特徴とする半導体試験方法。

【0 1 1 3】

(付記 1 5) いずれか1つの前記カウンタに対して前記共通カウンタ制御信

号を入力し、他の前記カウンタに対してはそれぞれ異なる前記カウンタによる最上位ビットの出力値を入力することを特徴とする付記 14 記載の半導体試験方法。

【0114】

(付記 16) 前記共通カウンタ制御信号の入力を受けた前記カウンタのカウンタ値で、前記半導体記憶装置のコラムアドレスを指定することにより、ページ動作を実行することを特徴とする付記 14 記載の半導体試験方法。

【0115】

(付記 17) 前記共通カウンタ制御信号の入力を受けた前記カウンタのカウンタ値で、前記半導体記憶装置のバンクアドレスを指定することにより、バンクインタリーブ動作を実行することを特徴とする付記 14 記載の半導体試験方法。

【0116】

【発明の効果】

以上説明したように、本発明の半導体試験回路では、半導体記憶装置の書き込み／読み出しアドレスを指定するためのカウンタの回路規模を大きくすることなく、スイッチ回路による出力信号の切り換えにより、各カウンタのカウント値に対する書き込み／読み出しアドレスの割り付けを容易に変更することができる。従って、実行可能な試験パターンが増加し、試験精度が高められる。

【0117】

また、本発明の半導体記憶装置では、自己試験回路において、半導体記憶装置の書き込み／読み出しアドレスを指定するためのカウンタの回路規模を大きくすることなく、スイッチ回路による出力信号の切り換えにより、各カウンタのカウント値に対する書き込み／読み出しアドレスの割り付けを容易に変更することができる。従って、自己試験回路によって実行可能な試験パターンが増加し、試験精度が高められる。

【0118】

さらに、本発明の半導体試験方法では、半導体記憶装置の書き込み／読み出しアドレスを指定するためのカウンタの回路規模を大きくすることなく、各カウンタへの制御信号の切り換えにより、各カウンタのカウント値に対する書き込み／

読み出しアドレスの割り付けを容易に変更することができる。従って、実行可能な試験パターンが増加し、試験精度が高められる。

【図面の簡単な説明】

【図 1】

本発明の半導体試験回路の原理を説明するための原理図である。

【図 2】

本発明の第 1 の実施の形態に係る S D R A M の要部構成例を示す図である。

【図 3】

本発明の第 1 の実施の形態に係るアドレス発生回路の内部構成例を示す図である。

【図 4】

M U X の第 1 の回路構成例を示す図である。

【図 5】

M U X の第 2 の回路構成例を示す図である。

【図 6】

コラムアドレスを優先して変化させる場合の各アドレスカウンタに対するアドレス割り付けを示す図である。

【図 7】

コラムアドレスを優先して変化させる場合の試験パターン例を説明するためのタイムチャートである。

【図 8】

ローアドレスを優先して変化させる場合の各アドレスカウンタに対するアドレス割り付けを示す図である。

【図 9】

ローアドレスを優先して変化させる場合の試験パターン例を説明するためのタイムチャートである。

【図 1 0】

バンクアドレスを優先して変化させる場合の各アドレスカウンタに対するアドレス割り付けを示す図である。

【図 1 1】

バンクアドレスを優先して変化させる場合の試験パターン例を説明するためのタイムチャートである。

【図 1 2】

非同期式カウンタを用いた場合のコラムアドレスカウンタの概略構成を示す図である。

【図 1 3】

非同期式カウンタを用いた場合のコラムアドレスカウンタが具備するフリップフロップ回路の回路構成例を示す図である。

【図 1 4】

同期式カウンタを用いた場合のコラムアドレスカウンタの概略構成を示す図である。

【図 1 5】

同期式カウンタを用いた場合のコラムアドレスカウンタの内部に設けられるフリップフロップ回路の回路構成例を示す図である。

【図 1 6】

本発明の第 2 の実施の形態に係る D R A M の要部構成例を示す図である。

【図 1 7】

本発明の第 2 の実施の形態において、バンクアドレスを優先して変化させる場合の試験パターン例を説明するためのタイムチャートである。

【図 1 8】

メモリセルアレイに対する論理アドレスの割り付けの例を示す図である。

【図 1 9】

B I S T 回路が具備する従来のアドレスカウンタの構成例を示す図である。

【符号の説明】

1 - 1 ~ 1 - n カウンタ

2 スイッチ回路

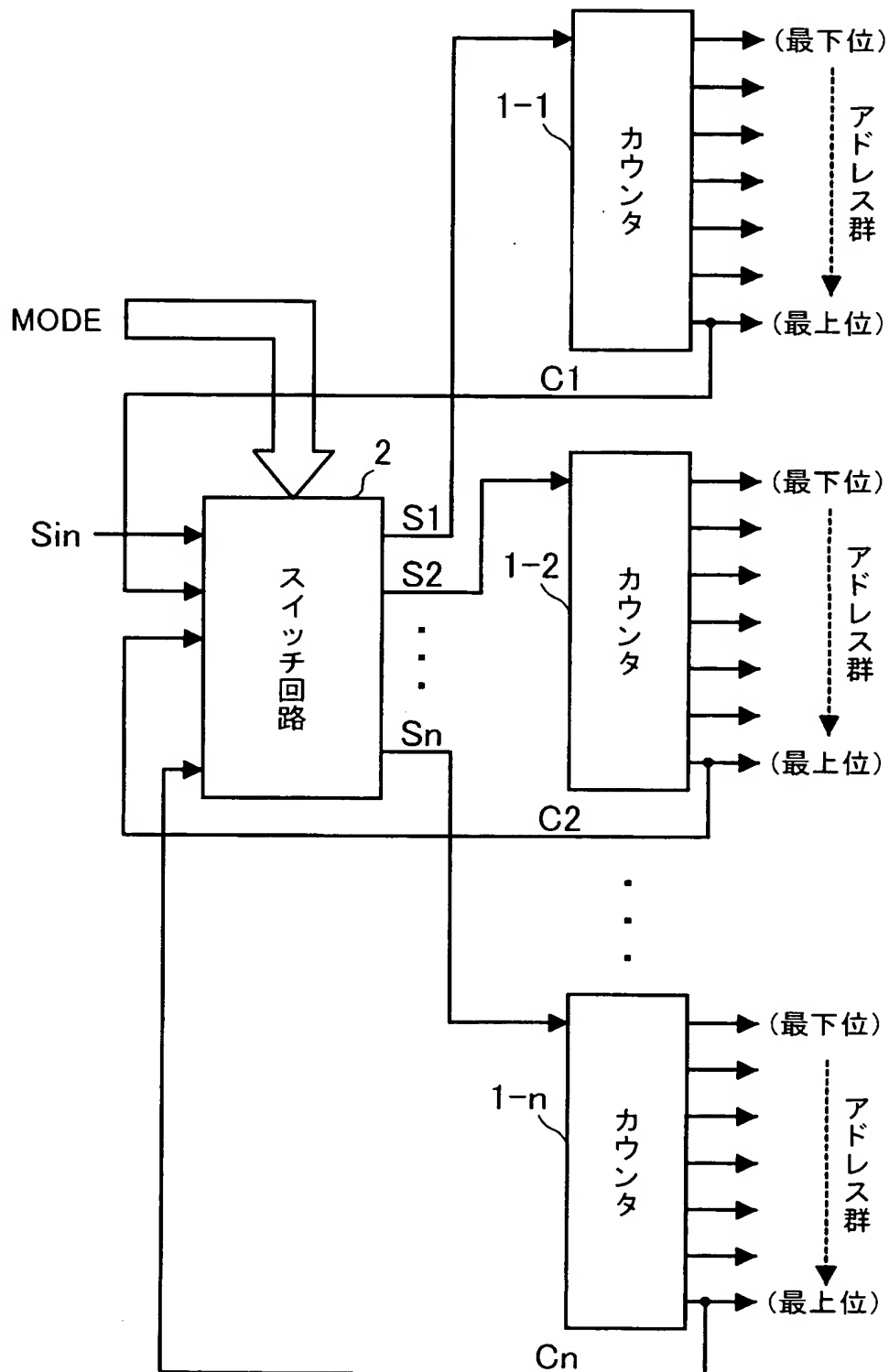
1 0 0 B I S T 回路

1 1 0 B I S T 制御回路

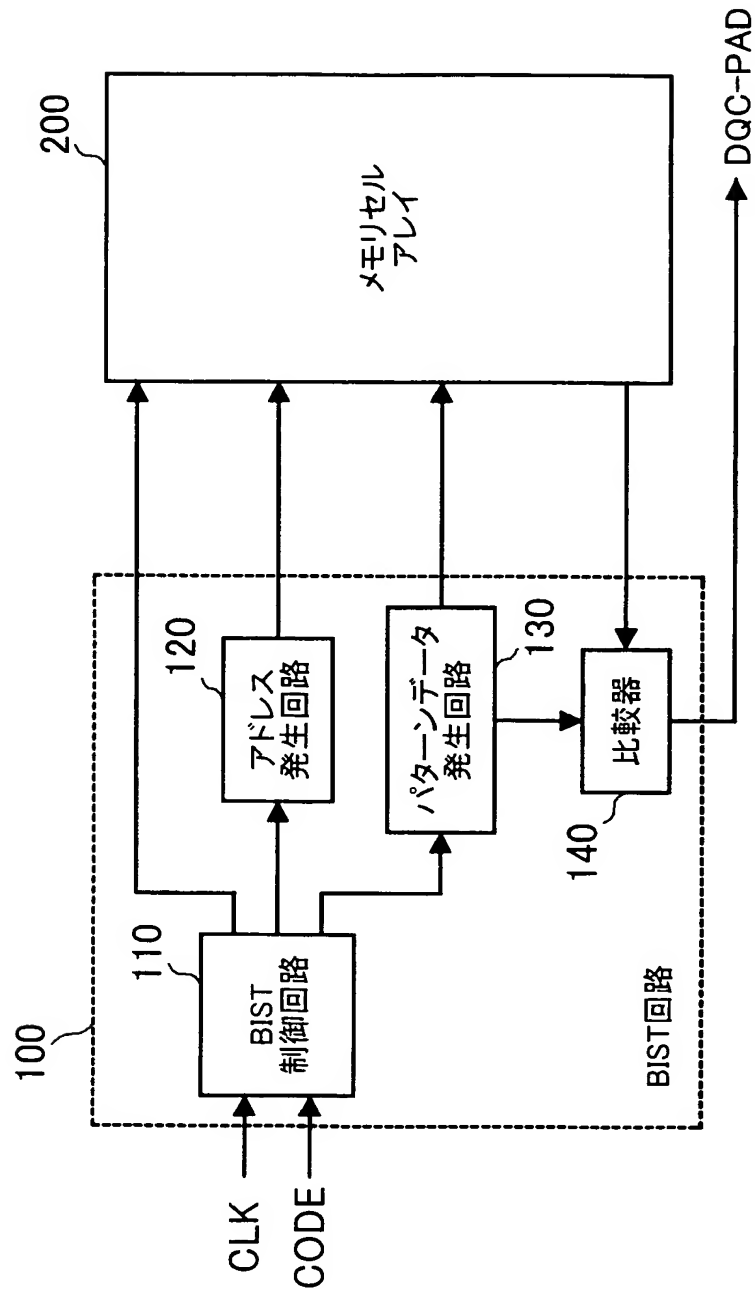
- 1 2 0 アドレス発生回路
- 1 2 1 a コラムアドレスカウンタ
- 1 2 1 b ローアドレスカウンタ
- 1 2 1 c バンクアドレスカウンタ
- 1 2 2 a ~ 1 2 2 c MUX
- 1 3 0 パターンデータ発生回路
- 1 4 0 比較器
- 2 0 0 メモリセルアレイ

【書類名】 図面

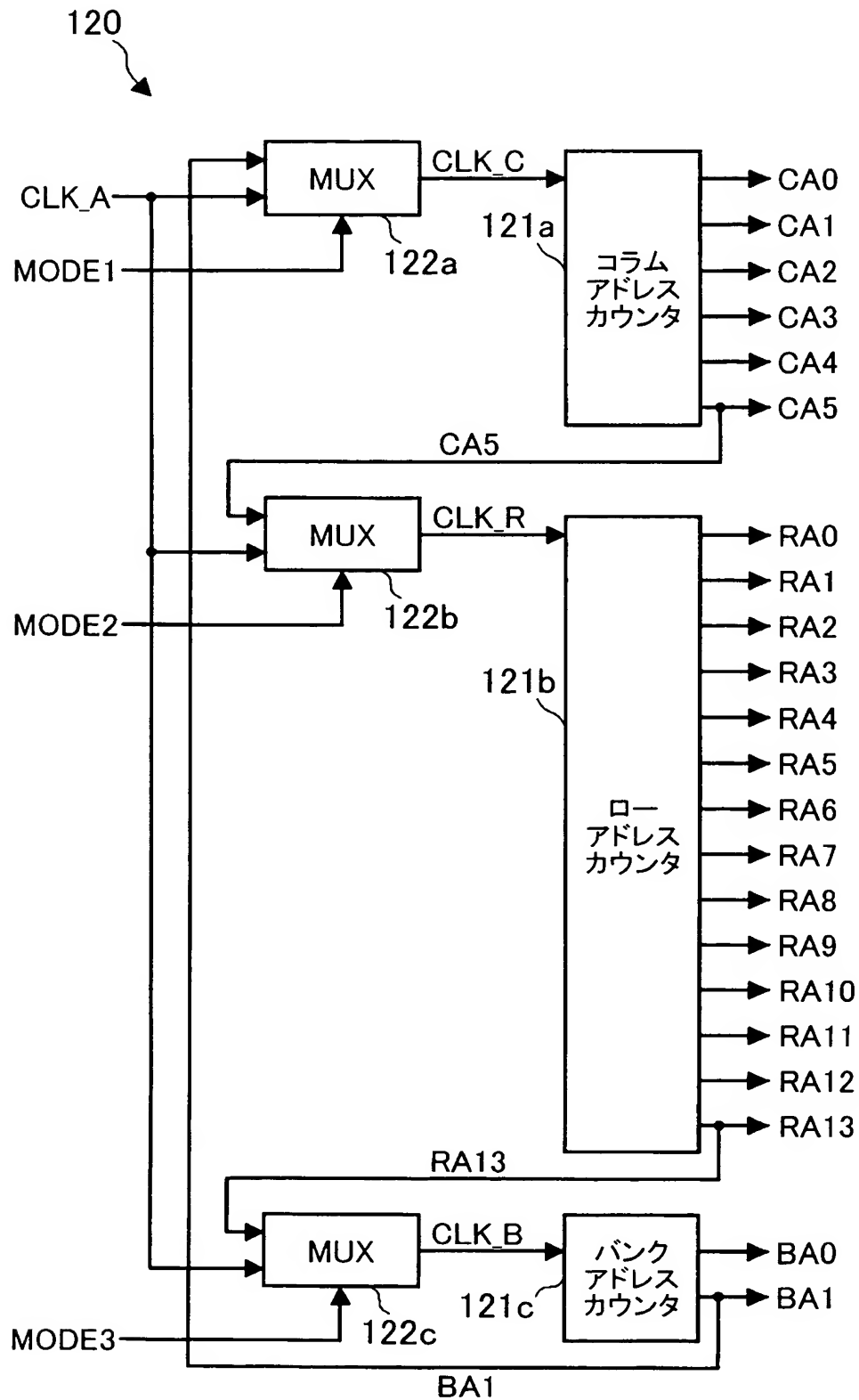
【図 1】



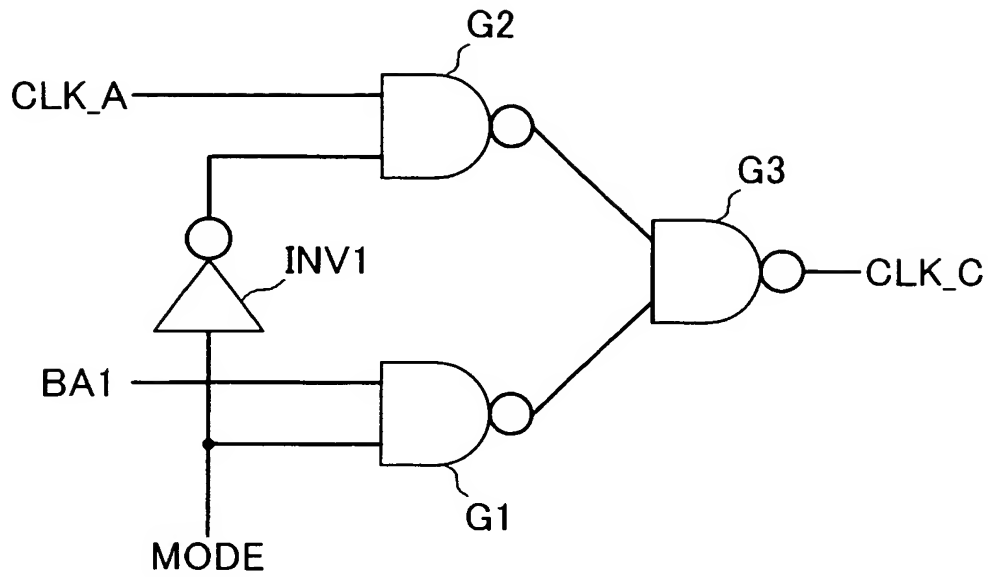
【図 2】



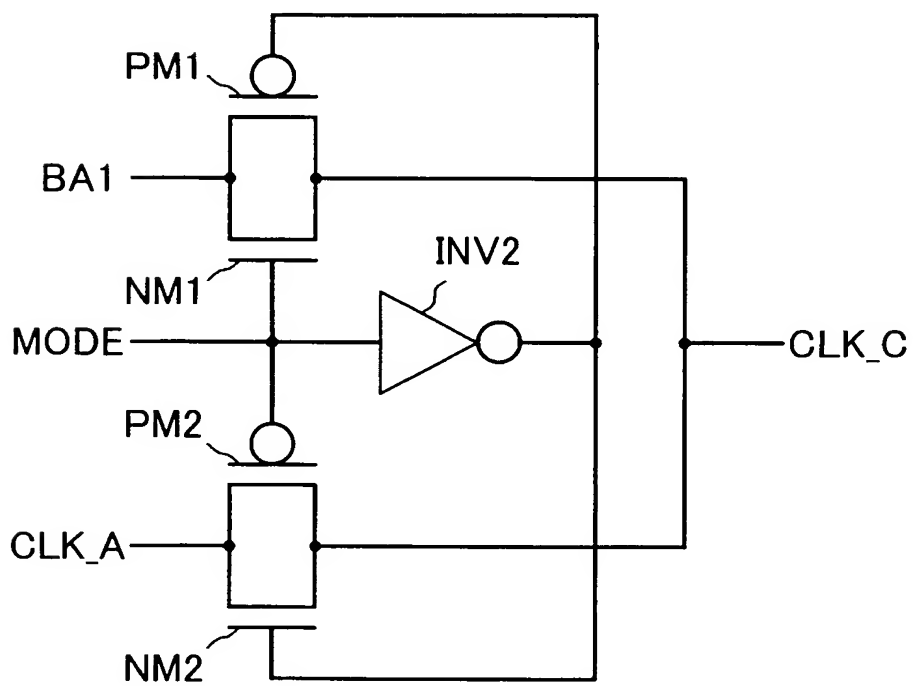
【図 3】



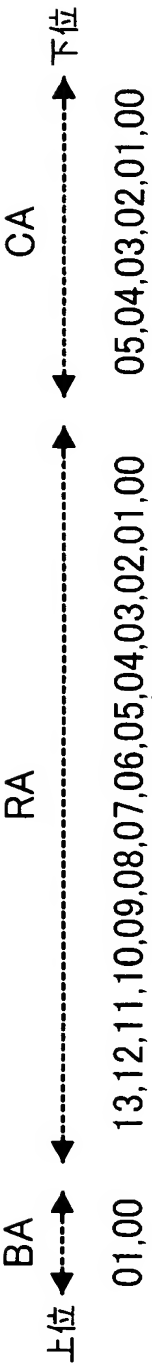
【図 4】



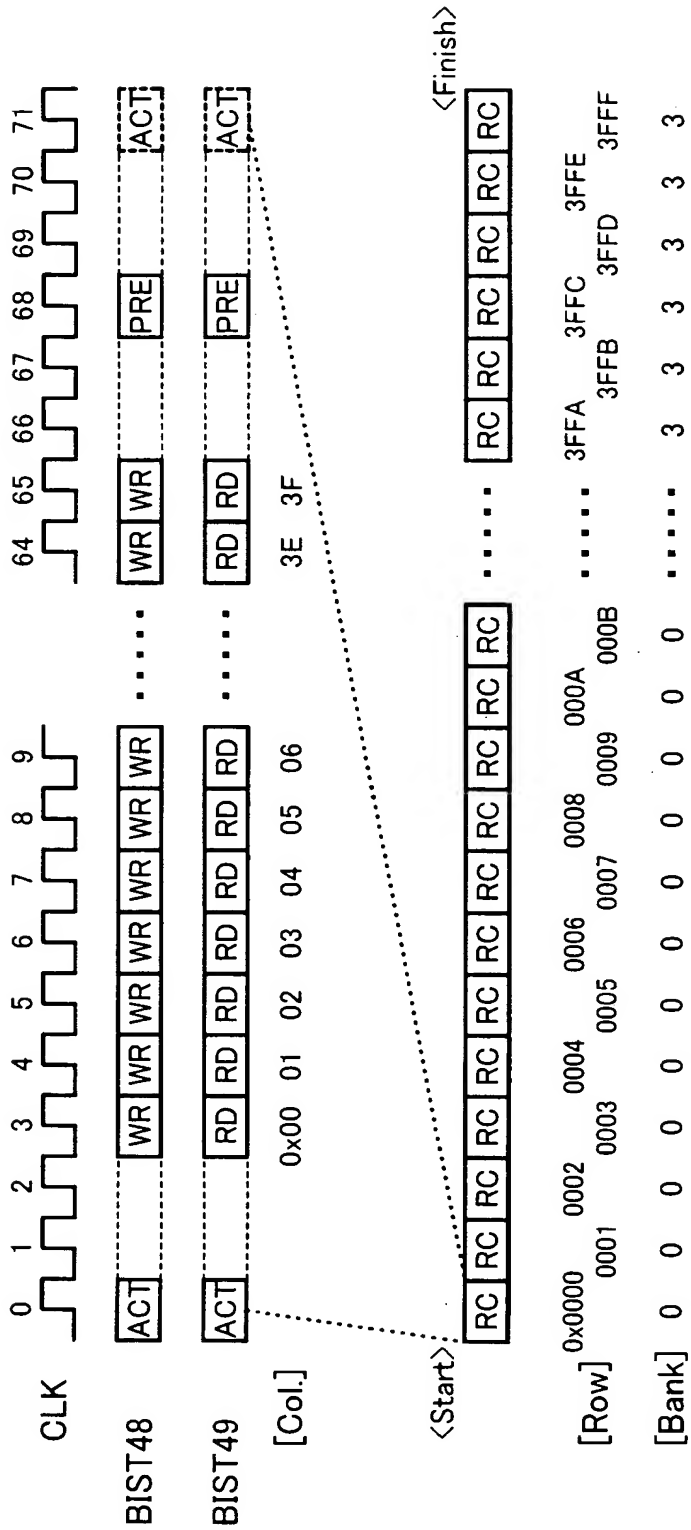
【図 5】



【図 6】



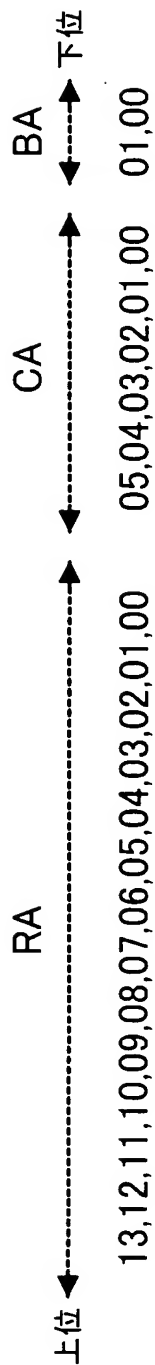
【图 7】



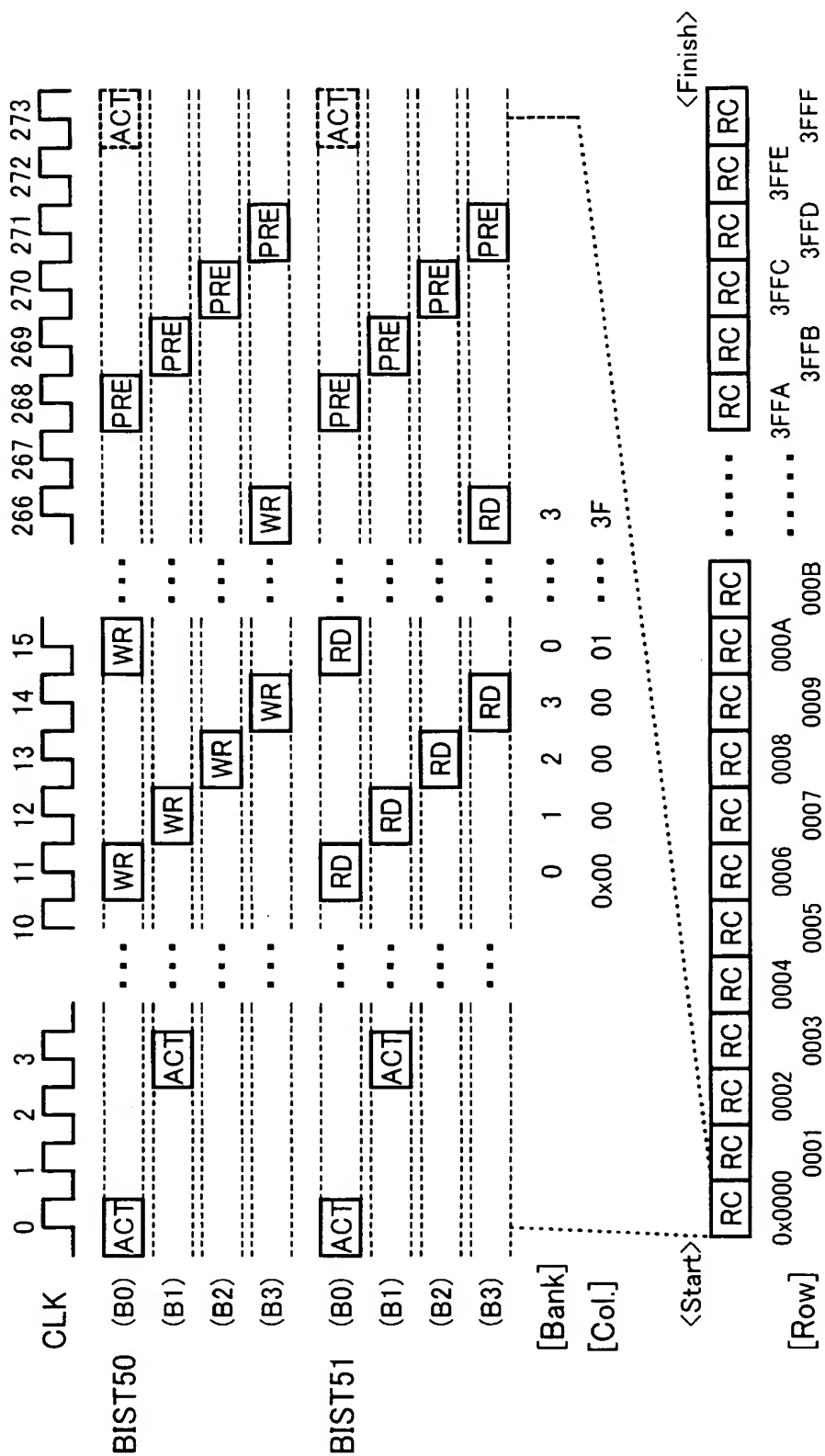
【図 8】



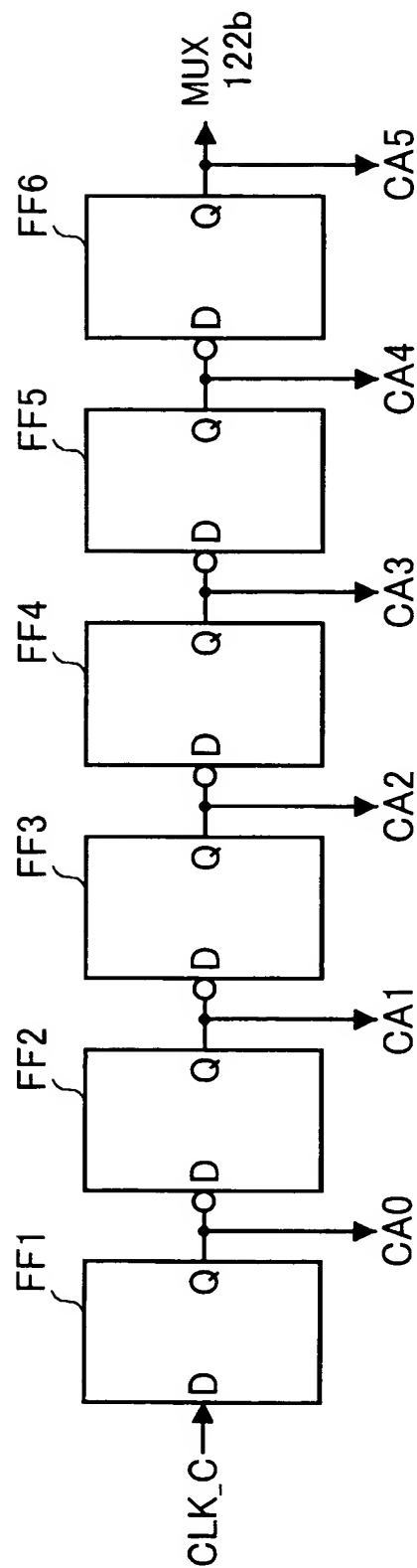
【図 1 0】



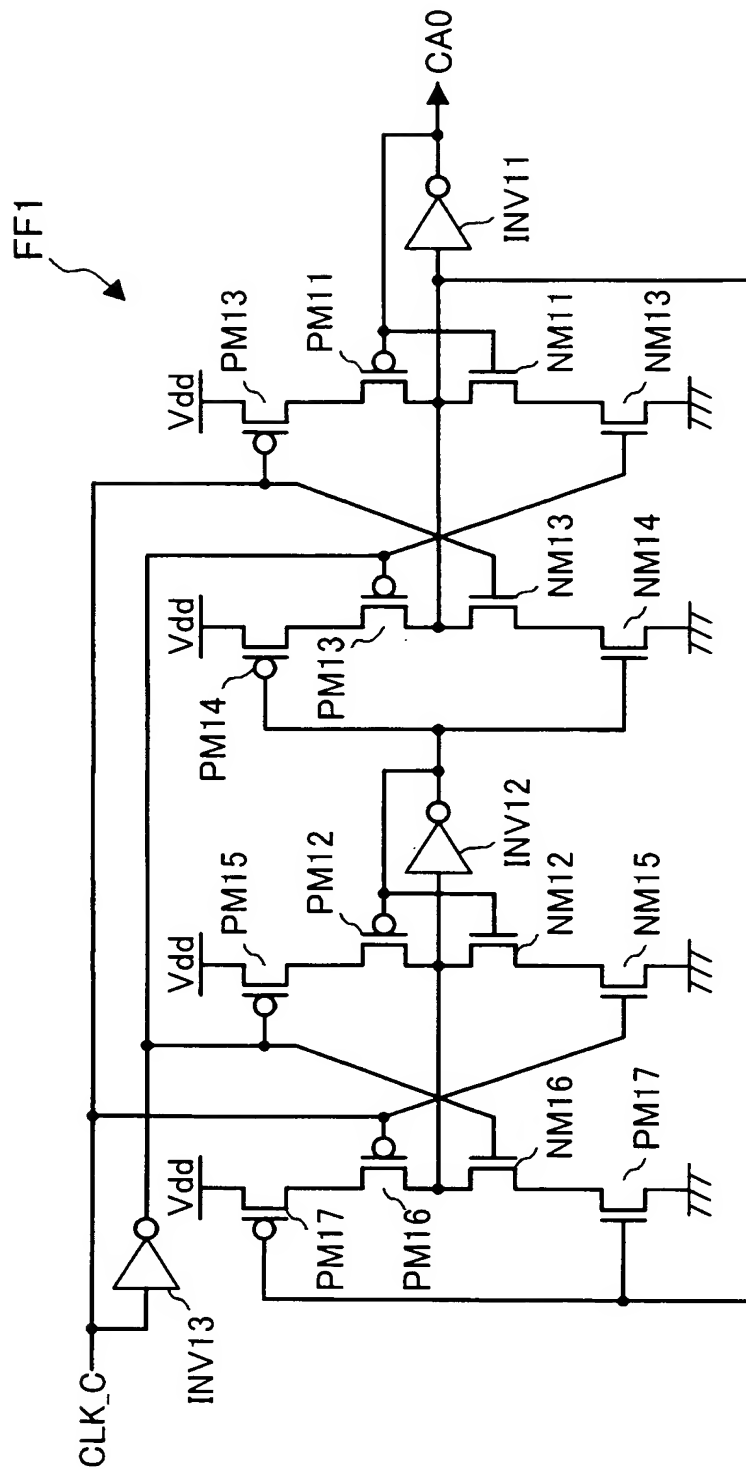
【図 1 1】



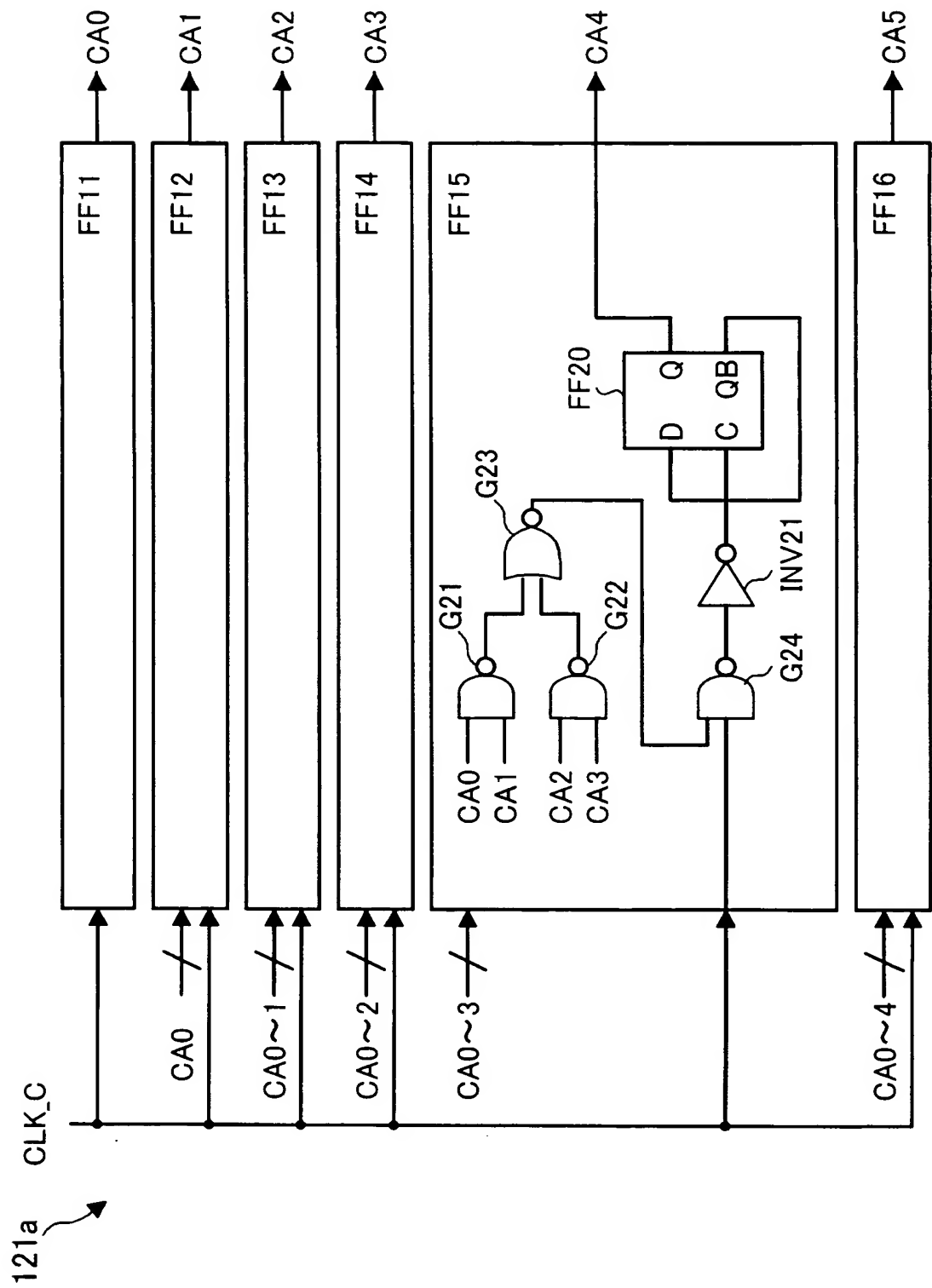
【図 1 2】



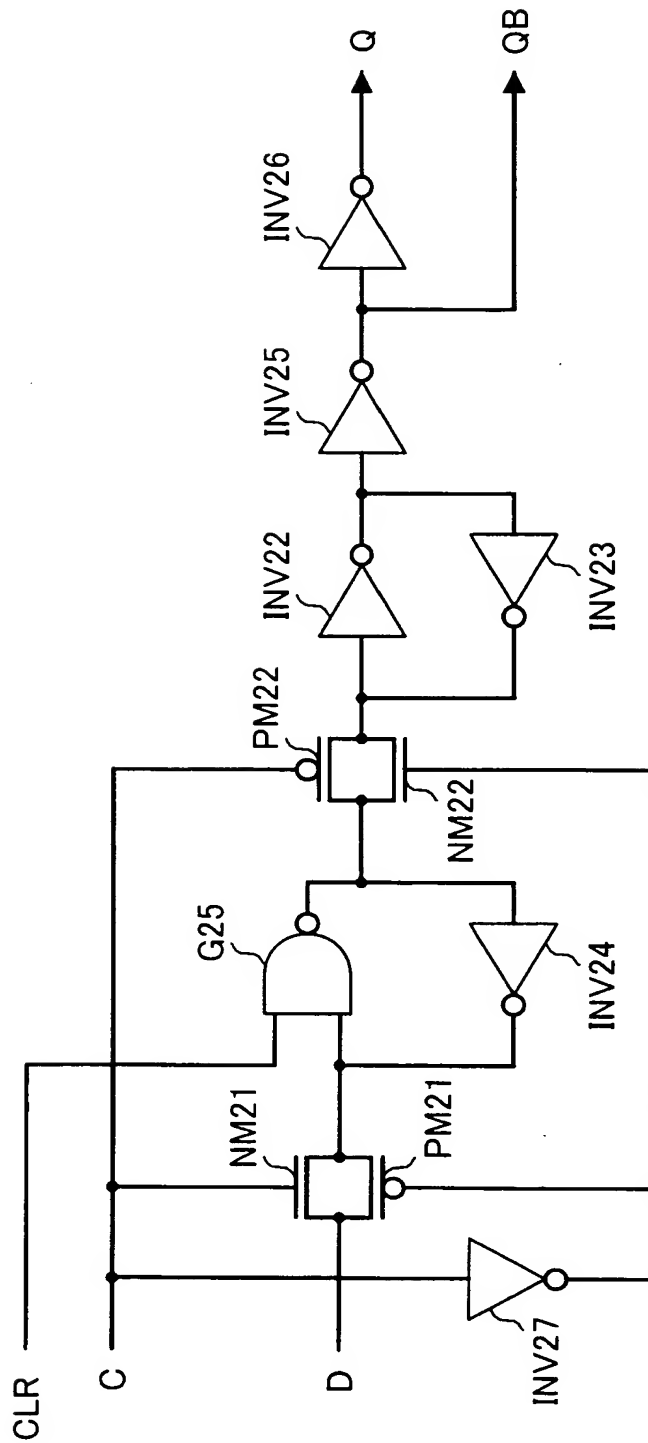
【図 13】



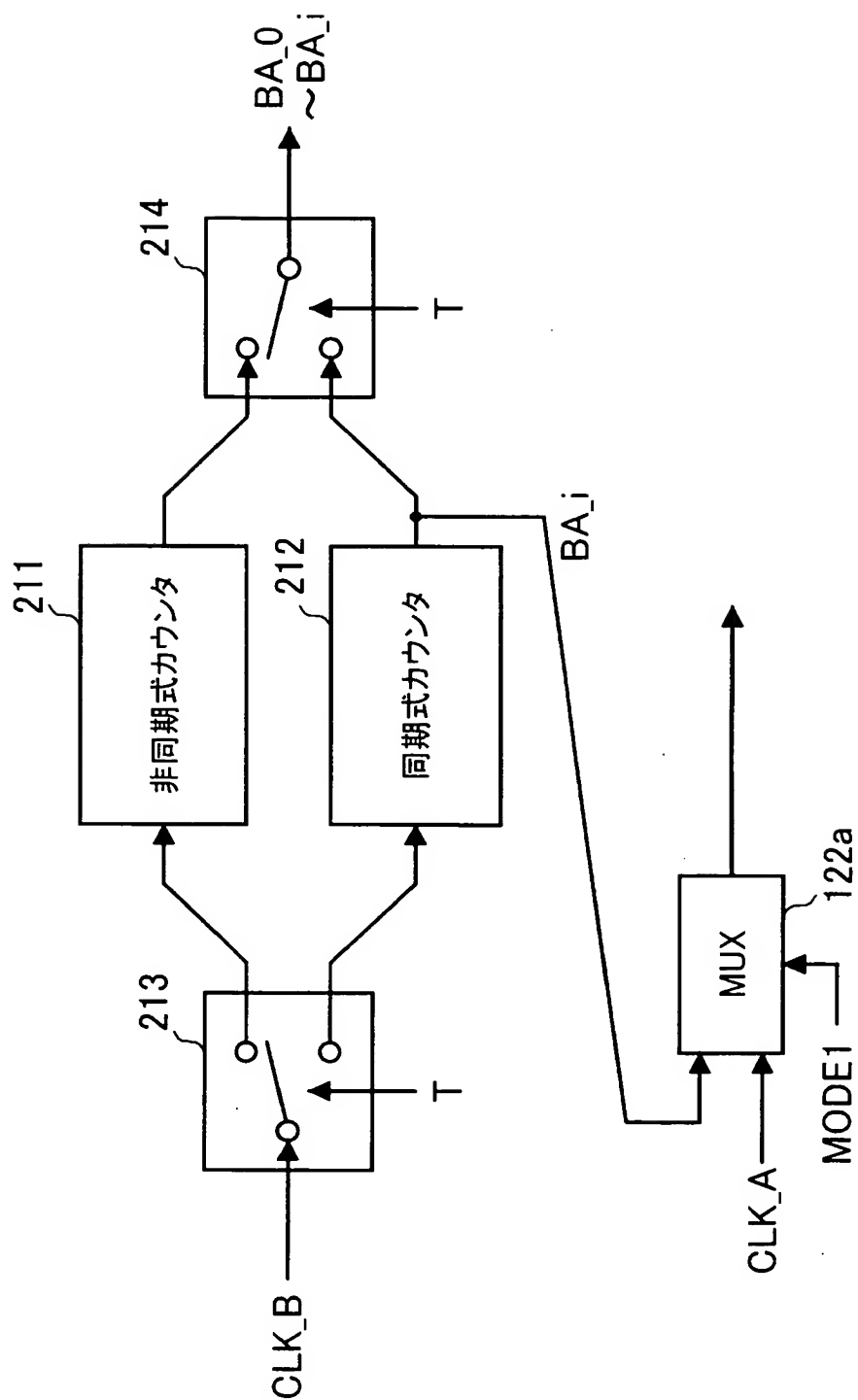
【図 14】



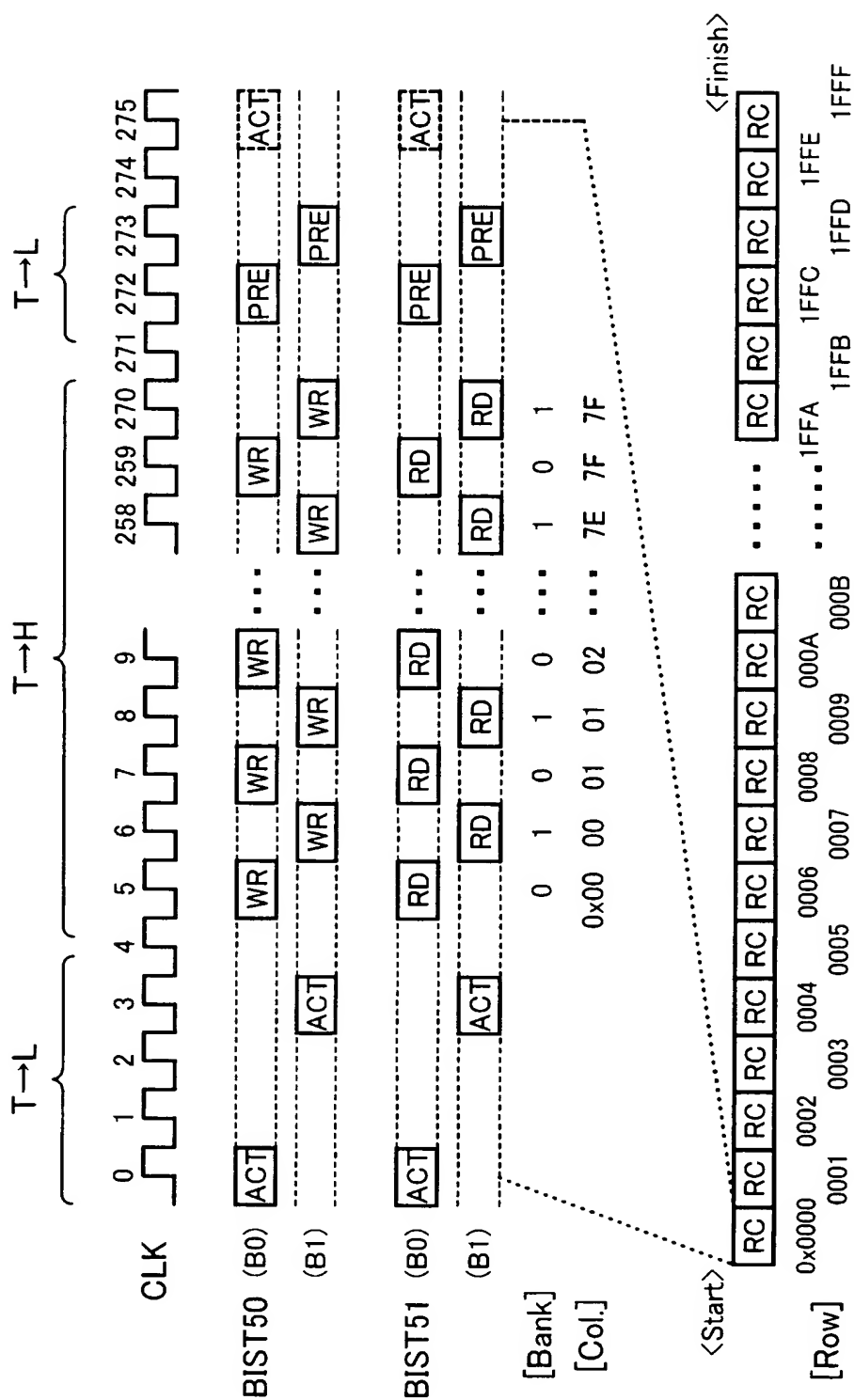
【図 15】



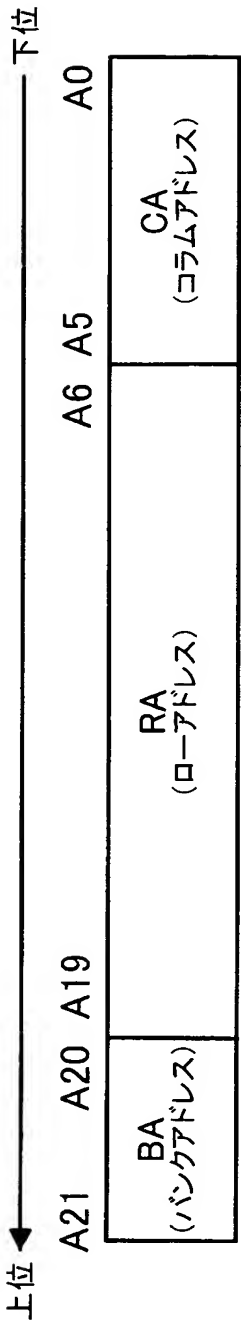
【図 16】



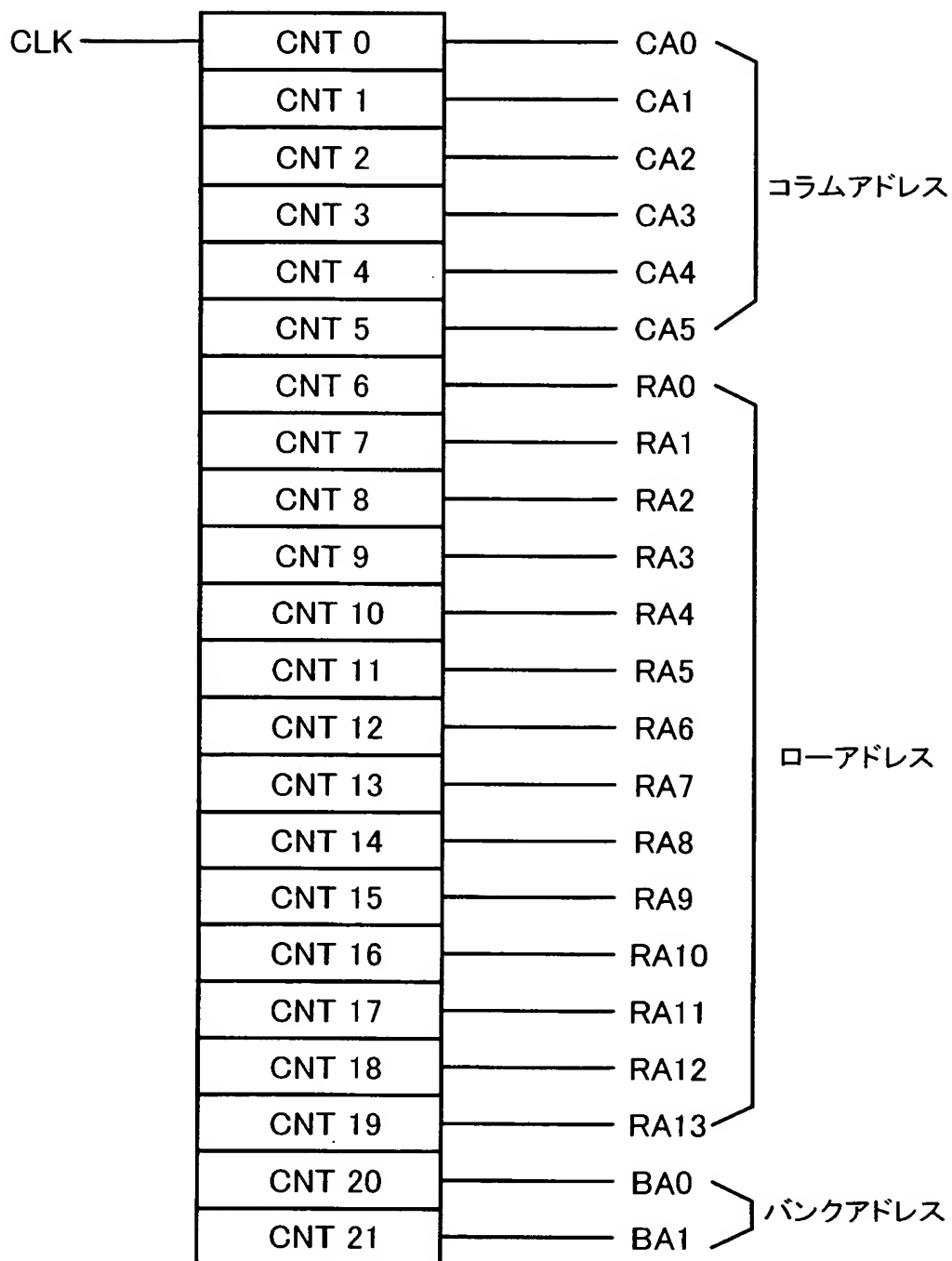
【图 17】



【図 1 8】



【図 19】



【書類名】 要約書

【要約】

【課題】 簡易な装置構成でありながら、実行可能な試験パターン数を増加させることが可能な半導体記憶装置に対する半導体試験回路を提供する。

【解決手段】 複数のカウンタ $1-1 \sim 1-n$ が設けられ、各カウンタ $1-1 \sim 1-n$ により、半導体記憶装置の書き込み／読み出しアドレスのうちの 1 ビット分または連続する複数ビット分が指定される。また、各カウンタ $1-1 \sim 1-n$ のカウント動作は、スイッチ回路 2 から出力されるカウンタ制御信号 $S_1 \sim S_n$ に基づいて制御される。スイッチ回路 2 は、出力先以外のいずれかのカウンタによる最上位ビットの出力値、または、すべてのカウンタに対して共通に使用される共通カウンタ制御信号 S_{in} のいずれかを、カウンタ制御信号 $S_1 \sim S_n$ としてカウンタ $1-1 \sim 1-n$ ごとに選択的に出力する。これにより、各カウンタ $1-1 \sim 1-n$ のカウント値に対する書き込み／読み出しアドレスの割り付けを変更することができる。

【選択図】 図 1

特願 2 0 0 3 - 0 3 6 1 2 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社